

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1892ВМ5Я

Руководство пользователя

22.11.2013

Перечень сокращений:

- ЦПОС – цифровой процессор обработки сигналов;
- CPU – центральный процессор на основе RISC-ядра;
- CRAM – двухпортовая оперативная память центрального процессора;
- DSP – сопроцессор цифровой обработки сигналов с фиксированной точкой (далее может называться также ЦПОС – цифровой процессор обработки сигналов);
- DMA – контроллер прямого доступа в память;
- MPORT – порт внешней памяти;
- SPORT – последовательный порт;
- LPORT – линковый порт;
- UART – универсальный асинхронный порт;
- ICACHE – кэш программ центрального процессора;
- IT – интервальный таймер;
- WDT – сторожевой таймер;
- RTT – таймер реального времени;
- CDB[31:0] – шина данных CPU;
- DDB[31:0] – шина данных DMA;
- A[31:0] – шина адреса порта внешней памяти;
- D[31:0] – шина данных порта внешней памяти;
- OnCD – встроенные средства отладки программ;
- XRAM, YRAM – памяти данных DSP;
- PRAM – память программ DSP;
- AGU – адресный генератор;
- EDBS – коммутатор внешних шин;
- IDBS – коммутатор внутренних шин;
- PCU – устройство программного управления;
- PAG – генератор адреса программ;
- PDC – программный дешифратор;
- RF – регистровый файл;
- ALU – арифметическое устройство;
- ALUctr – управление ALU;
- XDB0 – XDB3, GDB, PDB – шина данных DSP;
- XAB, YAB, PAB – адресные шины DSP;
- M, S, A, L – арифметические узлы ALU DSP.

ОГЛАВЛЕНИЕ

1.	ВВЕДЕНИЕ	10
1.1	Порядок использования данного документа	10
1.2	Назначение	11
1.3	Функциональные параметры и возможности	12
1.4	Структурная схема	15
1.5	Инструментальное программное обеспечение	19
	Интегрированная среда проектирования включает:	19
1.6	Операционная система для микросхемы 1892ВМ5Я	19
1.7	Дополнительная документация	20
2.	ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР	21
2.1	Основные характеристики CPU	21
2.2	Блок схема	21
2.3	Составляющие логические блоки	22
2.3.1	Устройство исполнения	22
2.3.2	Устройство умножения/деления (MDU)	23
2.3.3	Системный управляющий сопроцессор	23
2.3.4	Устройство управления памятью (MMU)	23
2.3.5	Контроллер кэш	23
2.3.6	Устройство шинного интерфейса (BIU – Bus Interface Unit)	23
2.3.7	OnCD контроллер	23
2.4	Конвейер	24
2.4.1	Стадии конвейера	24
2.4.1.1	Стадия I: выборка команды	25
2.4.1.2	Стадия D: дешифрация команды	25
2.4.1.3	Стадия E: исполнение	25
2.4.1.4	Стадия M: выборка из памяти	25
2.4.1.5	Стадия W: обратная запись	25
2.4.2	Операции умножения и деления	25
2.4.3	Задержка выполнения команд перехода (Jump, Branch)	25
2.4.4	Обходные пути передачи данных (Data bypass)	26
2.4.5	Задержка загрузки данных	27
2.5	Устройство управления памятью (MMU)	28
2.5.1	Введение	28
2.5.2	Режимы работы	29
2.5.2.1	Виртуальные сегменты памяти	29
2.5.2.2	Режим User	31
2.5.2.3	Режим Kernel	32
2.5.3	Буфер быстрого преобразования адреса (TLB)	34
2.5.4	Преобразование виртуального адреса в физический в режиме TLB	37
2.5.4.1	Попадания (hits), промахи (misses), и множественные попадания (multiple matches)	38
2.5.4.2	Размеры страниц и алгоритм замещения	39
2.6	Исключения	41
2.6.1	Условия исключений	41

2.6.2	Приоритеты исключений	41
2.6.3	Расположение векторов исключений	42
2.6.4	Обработка общих исключений	43
2.6.5	Исключения	44
2.6.5.1	Исключение по аппаратному сбросу (Reset Exception)	44
2.6.5.2	Исключение по немаскируемому прерыванию (Non Maskable Interrupt – NMI Exception) ..	45
2.6.5.3	Исключение по обновлению TLB — выборка команды или доступ к данным (TLB Refill Exception – Instruction Fetch or Data Access)	45
2.6.5.4	Исключение по невалидности TLB — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)	46
2.6.5.5	Исключение по ошибке адресации — выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)	46
2.6.5.6	Исключение по аппаратному контролю (Mcheck – Machine Check Exception)	47
2.6.5.7	Исключение исполнения – системный вызов (System Call Exception)	47
2.6.5.8	Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)	47
2.6.5.9	Исключение исполнения — зарезервированная команда (Execution Exception – Reserved Instruction)	48
2.6.5.10	Исключение исполнения — недоступен сопроцессор (Execution Exception – Coprocessor Unusable) ..	48
2.6.5.11	Исключение исполнения — целочисленное переполнение (Execution Exception – Integer Overflow) ..	48
2.6.5.12	Исключение исполнения — Trap (Execution Exception – Trap)	49
2.6.5.13	Исключение сохранения в запрещенной области (TLB Modified Exception)	49
2.6.5.14	Исключение прерывания (Interrupt Exception)	49
2.6.6	Алгоритмы обработки исключений	50
2.7	Регистры CP0	53
2.7.1	Назначение	53
2.7.2	Обзор регистров CP0	53
2.7.3	Регистры CP0	54
2.7.3.1	Регистр Random (Регистр CP0 1, Select 0)	55
2.7.3.2	EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)	55
2.7.3.3	Регистр Context (Регистр 4 CP0, Select 0)	56
2.7.3.4	Регистр PageMask (Регистр 5 CP0, Select 0)	57
2.7.3.5	Регистр Wired (Регистр 6 CP0, Select 0)	57
2.7.3.6	Регистр BadVAddr (Регистр 8 CP0, Select 0)	58
2.7.3.7	Регистр Count (Регистр 9 CP0, Select 0)	59
2.7.3.8	Регистр EntryHi (Регистр 10 CP0, Select 0)	59
2.7.3.9	Регистр Compare (Регистр 11 CP0, Select 0)	60
2.7.3.10	Регистр Status (Регистр 12 CP0, Select 0)	60
2.7.3.11	Регистр Cause (Регистр 13 CP0, Select 0)	63
2.7.3.12	Регистр EPC (Регистр 14 CP0, Select 0)	64
2.7.3.13	Регистр PRId (Регистр 15 CP0, Select 0)	65
2.7.3.14	Регистр Config (Регистр 16 CP0, Select 0)	65
2.7.3.15	Регистр Config1 (Регистр 16 CP0, Select 1)	66
2.7.3.16	Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)	67
2.7.3.17	Регистр ErrorEPC (Регистр 30 CP0, Select 0)	67
2.8	Кэш	68
2.8.1	Введение	68
2.8.2	Протокол кэш	68
2.8.2.1	Организация кэш	68
2.8.2.2	Атрибуты кэшируемости	68
2.9	Карта памяти CPU	69
3.	ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР (DSP)	76
3.1	Функциональные параметры и возможности DSP	76
3.2	Архитектура DSP	78

3.2.1	Структурная схема DSP	78
3.2.2	Арифметико-логическое устройство (ALU).....	79
3.2.3	Устройства генерации адреса (AGU, AGU-Y).....	81
3.2.4	Устройство программного управления (PCU).....	81
3.2.5	Коммутаторы шин данных (IDBS, EDBS).....	81
3.2.6	Блоки памяти.....	81
3.2.7	Шины адреса и данных	82
3.3	Арифметико-логическое устройство (ALU)	83
3.3.1	Архитектура ALU	83
3.3.1.1	Регистровый файл.....	85
3.3.1.2	Операционные устройства	86
3.3.1.3	Регистр PDNR	87
3.3.1.4	Регистр CCR.....	87
3.3.1.5	Регистры-аккумуляторы AC0, AC1.....	89
3.3.2	Режимы работы ALU.....	89
3.3.2.1	Округление (Rounding).....	90
3.3.2.2	Масштабирование (Scaling)	91
3.3.2.3	Поддержка режима блочной экспоненты	91
3.3.2.4	Режим насыщения (Saturation).....	92
3.4	Устройства генерации адресов памяти данных (AGU,AGU-Y)	93
3.4.1	Архитектура AGU.....	93
3.4.2	Программная модель AGU.	95
3.4.2.1	Адресный регистровый файл.....	95
3.4.2.2	Регистровый файл смещений.....	95
3.4.2.3	Регистровый файл модификаторов	95
3.4.3	Архитектура AGU-Y	96
3.4.4	Программная модель AGU-Y	97
3.4.5	Виды адресации	97
3.4.5.1	Прямая регистровая адресация.....	98
3.4.5.2	Виды адресация программной памяти.....	98
3.4.5.3	Косвенная адресация памяти данных	99
3.4.6	Типы адресной арифметики.....	100
3.4.7	Режимы адресации.....	102
3.4.7.1	Режимы адресации AGU	102
3.4.7.2	Режимы адресации AGU-Y.....	102
3.5	Устройство программного управления (PCU).....	102
3.5.1	Назначение и состав PCU.....	102
3.5.2	Архитектура PCU	103
3.5.3	Программный конвейер	104
3.5.4	Программная модель PCU	105
3.5.4.1	Регистр-идентификатор (IDR)	105
3.5.4.2	Регистр управления и состояния (DCSR)	105
3.5.4.3	Регистр программного счетчика (PC)	107
3.5.4.4	Регистр управления DMA (DMAR).....	107
3.5.4.5	Регистр флагов обмена (EFR)	107
3.5.4.6	Регистр состояния (SR)	108
3.5.4.7	Регистр счетчика циклов (LC)	109
3.5.4.8	Регистр адреса цикла (LA).....	110
3.5.4.9	Системный стек (SS)	110
3.5.4.10	Стек цикла (CS).....	110
3.5.4.11	Регистр указателей стека (SP).....	111
3.5.4.12	Счетчик команд (CNTR)	113
3.6	Программная модель DSP.....	114
3.7	Состояния DSP	115
3.7.1	Состояние начальной установки (RESET)	115

3.7.2	Состояние останова (STOP).....	115
3.7.3	Состояние исполнения программы (RUN).....	116
3.8	Карта памяти DSP и организация обмена данными.....	117
3.8.1	Буфер обмена	117
3.8.2	Организация обменов данными DSP с CPU или DMA.....	118
3.8.2.1	Режим Broadcasting.....	119
3.8.3	Организация внутренних обменов с памятью данных.....	120
3.8.3.1	Особенности адресации памяти данных в режимах SCALAR и SIMD	120
3.8.4	Организация памяти программ PRAM	121
3.8.5	Адресуемые регистры	121
4.	СИСТЕМНОЕ УПРАВЛЕНИЕ.....	124
4.1	Система синхронизации	124
4.2	Отключение и включение тактовой частоты	126
4.3	Системные регистры	127
4.3.1	Регистр управления и состояния CSR.....	127
4.3.2	Регистр запросов прерывания QSTR	128
4.3.3	Регистр маски MASKR.....	129
4.4	Процедура начальной загрузки	130
4.5	Логика взаимодействия CPU и DSP.....	131
4.5.1	Функции CPU.....	131
4.5.2	Функции DSP	132
5.	ИНТЕРВАЛЬНЫЙ ТАЙМЕР	133
5.1	Назначение.....	133
5.2	Структурная схема	133
5.3	Регистры интервального таймера.....	134
5.4	Программирование IT.....	135
6.	ТАЙМЕР РЕАЛЬНОГО ВРЕМЕНИ	136
6.1	Назначение.....	136
6.2	Структурная схема RTT.....	136
6.3	Описание регистров таймера реального времени.....	137
6.4	Программирование RTT.....	137
7.	СТОРОЖЕВОЙ ТАЙМЕР	138
7.1	Назначение.....	138
7.2	Структурная схема	138
7.3	Описание регистров WDT.....	139
7.4	Программирование WDT.....	141
8.	КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA).....	143
8.1	Общие положения.....	143
8.1.1	Типы каналов	143
8.1.2	Приоритет каналов DMA и CPU	143
8.1.3	Темп передачи.....	144

8.1.4	Регистры DMA.....	145
8.1.5	Прерывания DMA.....	145
8.2	Процедура самоинициализации.....	145
8.3	Каналы обмена данными типа память – память	146
8.3.1	Описание регистров.....	146
8.3.2	Работа по внешним запросам	149
8.3.3	Форматы обмена данными.....	150
8.4	Каналы DMA линковых портов	151
8.5	Каналы DMA PMCh, PSCh	151
9.	КОНТРОЛЛЕР ШИНЫ PCI.....	152
9.1	Общие положения.....	152
9.2	Регистры PMSC	154
9.2.1	Конфигурационные регистры.....	155
9.2.1.1	Регистры Device/Vendor ID, Class Code/Revision ID и Subsystem ID/Subsystem Vendor ID.....	155
9.2.1.2	Регистр Latency Timer	155
9.2.1.3	Регистр Interrupt Line.....	155
9.2.1.4	Регистры BAR0, BAR1	156
9.2.1.5	Регистр Status/Command.....	156
9.2.2	Регистры управления обменом.....	157
9.2.2.1	Регистр CSR_PMCh.....	157
9.2.2.2	Адресные регистры обмена	158
9.2.2.3	Регистр управления и состояния CSR_PCI	159
9.2.3	Регистр начальной загрузки AR_BOOT	160
9.3	Обмен данными по каналу DMA PMCh.....	160
9.4	Программный обмен данными с шиной PCI.....	161
9.5	Обмен данными по каналу DMA PSCh	161
9.6	Передача вектора прерывания из шины PCI.....	162
9.7	Арбитр	162
9.8	Особенности обмена данными с внешней памятью.....	163
10.	ПОРТ ВНЕШНЕЙ ПАМЯТИ	164
10.1	Введение	164
10.2	Регистры порта внешней памяти	164
10.2.1	Перечень регистров	164
10.2.2	Регистр конфигурации CSCON0	165
10.2.3	Регистр конфигурации CSCON1	166
10.2.4	Регистр конфигурации CSCON2	166
10.2.5	Регистр конфигурации CSCON3	167
10.2.6	Регистр конфигурации CSCON4	168
10.2.7	Регистр управления работой с памятью SDRAM	168
10.2.8	Регистр SKE_CTR	169
10.3	Временные диаграммы обмена данными	170
10.3.1	Общие положения.....	170
10.3.2	Обмен данными с асинхронной памятью	171
10.3.3	Обмен данными с синхронной памятью.....	176

10.4	Рекомендации по подключению внешней памяти	181
10.4.1	Память типа SDRAM	181
10.4.2	Память типа Flash	183
11.	УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART).....	184
11.1	Общие положения.....	184
11.2	Регистры UART	185
11.2.1	Общие положения.....	185
11.2.2	Регистр LCR	186
11.2.3	Регистр FCR	187
11.2.4	Регистр LSR.....	187
11.2.5	Регистр IER	188
11.2.6	Регистр IIR.....	189
11.2.7	Регистр MCR.....	190
11.2.8	Регистр MSR	190
11.2.9	Программируемый генератор скорости обмена.....	191
11.3	Работа с FIFO по прерыванию	191
11.4	Работа с FIFO по опросу	192
12.	ЛИНКОВЫЙ ПОРТ	193
12.1	Архитектура линкового порта	193
12.2	Регистры.....	194
12.2.1	Общие положения.....	194
12.2.2	Буфер передачи LTx	194
12.2.3	Буфер приема LRx	194
12.2.4	Регистр управления и состояния LCSR	195
12.2.5	Регистры порта ввода-вывода.....	196
12.3	DMA линковых портов.....	196
12.4	Прерывания от линковых портов	196
12.4.1	Прерывания при приеме и передаче данных	196
12.4.2	Прерывания по запросу обслуживания.....	197
12.5	Временная диаграмма работы линкового порта	197
13.	ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ	198
14.	ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ.....	199
14.1	Электропитание микросхемы	199
14.2	Электрические параметры при приемке и поставке.....	199
14.3	Динамическая потребляемая мощность	200
14.4	Предельно-допустимые и предельные электрические режимы эксплуатации	201
14.5	Временные параметры	202
14.5.1	Обмен данными с внешней памятью и устройствами.....	202
14.5.2	Прием и передача данных по линковому порту	202
14.6	Рекомендации по подключению кварцевого резонатора.....	203
15.	ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ	204
16.	История изменений.....	215
16.1	17 апреля 2009 г.....	215

16.2	21 декабря 2011 г.....	215
16.3	20 февраля 2012 г.....	215
16.4	27 августа 2012 г.....	215
16.5	22 ноября 2013 г.....	215

1. ВВЕДЕНИЕ

1.1 Порядок использования данного документа

В данном документе представлено руководство пользователя микросхемы сигнального микропроцессора 1892ВМ5Я. Представленная информация содержит описание 1892ВМ5Я, внешних интерфейсов и временных диаграмм их функционирования, механизмов обмена с внешней и внутренней памятью, взаимодействие CPU-ядра и DSP узлов.

Настоящая документация охраняется действующим законодательством Российской Федерации об авторском праве и смежных правах, в частности, законом Российской Федерации «Об авторском праве и смежных правах». ОАО НПЦ «ЭЛВИС» является единственным правообладателем исключительных авторских прав на настоящую документацию.

Настоящую документацию, не иначе как по предварительному согласию ОАО НПЦ «ЭЛВИС», запрещается:

- воспроизводить, т.е. изготавливать один или более экземпляров настоящей документации, ее части, в любой форме, любым способом;
- сдавать в прокат;
- публично показывать, исполнять или сообщать для всеобщего сведения,
- переводить;
- переделывать или другим образом перерабатывать (дорабатывать).

ОАО НПЦ «ЭЛВИС» оставляет за собой право в любой момент вносить изменения (дополнения) в настоящую документацию без предварительного уведомления о таком изменении (дополнении).

ОАО НПЦ «ЭЛВИС» не несет ответственности за вред, причиненный при использовании настоящей документации.

Передача настоящей документации не означает передачи каких-либо авторских прав ОАО НПЦ «ЭЛВИС» на нее.

Возникновение каких-либо прав на материальный носитель, на котором передается настоящая документация, не влечет передачи каких-либо авторских прав на данную документацию.

Все указанные в настоящей документации товарные знаки принадлежат их владельцам.
ОАО НПЦ «ЭЛВИС» ©, 2012

1.2 Назначение

Микросхема интегральная сигнального микропроцессора 1892ВМ5Я спроектирована как однокристалльная трехпроцессорная «система на кристалле» на базе IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР», разработанной в ОАО НПЦ «ЭЛВИС».

По общепринятой классификации СБИС, разрабатываемых на базе платформы «МУЛЬТИКОР», Микросхема 1892ВМ5Я относится к сигнальным микропроцессорам миди-конфигурации с плавающей и фиксированной точкой.

В качестве трех процессоров 1892ВМ5Я содержит 32-разрядный центральный процессор (CPU – Central Processing Unit) и два высокопроизводительных процессора-акселератора для цифровой обработки сигналов (DSP – Digital Signal Processing) с плавающей/фиксированной точкой, обеспечивающий обработку информации с переменными форматами данных от битовых форматов до стандартных форматов данных с плавающей точкой в формате IEEE754.

Все три процессора работают независимо друг от друга (каждый по своей собственной программе) и вследствие этого представляют систему на кристалле **MIMD** – архитектуры (**MIMD** – **M**ultiple **I**nstructions **M**ultiple **D**ata).

1892ВМ5Я реализован на основе ядер из библиотеки платформы «МУЛЬТИКОР»: процессорного CPU-ядра RISCORE32 с архитектурой MIPS32 и программируемого ядра с 2SIMD (Single Instructions Multiple Data) архитектурой цифрового сигнального процессора (DSP) с плавающей/фиксированной точкой ELcore-26 (ELcore = Elvees's core).

1892ВМ5Я сочетает в себе лучшие качества двух классов приборов: микроконтроллеров и цифровых процессоров обработки сигналов, что особенно важно для микроминиатюрных встраиваемых применений, когда приходится решать в рамках ограниченных габаритов одновременно обе задачи: управления и высокоточной обработки информации, включая сигналы и изображение.

Для разработчика системы обеспечивается уникальная возможность применения новых алгоритмов принятия решений в CPU на основе параллельно выполняемых процедур адаптивного анализа и обработки сигналов в DSP, что реализуется в пределах одной и той же микросхемы.

Для этих целей разработаны методы применения RLS/LNS алгоритмов на базе микросхем серий «МУЛЬТИКОР», в частности для адаптивных антенных решеток.

1892ВМ5Я обеспечивает работу под операционной системой **Linux**.

1892ВМ5Я предназначен для применения в следующих приложениях:

- Радиолокационные и гидроакустические системы;
- Графические ускорители;
- Телекоммуникации и мультимедиа: базовые станции, DVB – приемники и т.д.
- Сигнальная обработка: БПФ, фильтрация, корреляция, быстрая свертка.
- Управление объектами с использованием высокоточных адаптивных методов;
- Системы промышленного контроля;
- Высокоточная обработка сигналов и данных.

1.3 Функциональные параметры и возможности

Микросхема 1892ВМ5Я имеет два вида исполнения: 1892ВМ5АЯ (максимальная тактовая частота 100 МГц) и 1892ВМ5БЯ (максимальная тактовая частота 90 МГц). Функциональные параметры и возможности микросхем с учетом вида исполнения приведены ниже:

Центральный процессор (CPU):

- Архитектура – MIPS32;
- 32-х битные шины передачи адреса и данных;
- Кэш команд объемом 16 Кбайт;
- Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
- Программируемое устройство управления памятью:
 - Два режима работы – с TLB (Translation Lookaside Buffer) и FM (Fixed Mapped);
 - 16 строк в режиме TLB.
- Устройство умножения и деления;
- JTAG IEEE 1149.1, встроенные средства отладки программ
- Производительность: 1892ВМ5АЯ – 100 млн. оп/сек, 1892ВМ5БЯ – 90 млн. оп/сек (здесь и далее параметры производительности приведены при максимальной тактовой частоте);
- Оперативная память центрального процессора (CRAM) объемом 32 Кбайт;
- 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI).

Два цифровых сигнальных сопроцессора (DSP0, DSP1), каждый из которых характеризуется следующими возможностями:

- “Гарвардская” RISC – подобная архитектура с оригинальной системой команд и преимущественно одноктактным исполнением инструкций;
- 2SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
- Набор инструкций, совмещающий процедуры обработки и пересылки;
- 3-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24Е8 (стандарт IEEE 754) или 32Е16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- Аппаратная поддержка программных циклов;
- Программная совместимость снизу с сигнальным контроллером 1892ВМ2Я;
- Память программ PRAM объемом 16 Кбайт;

- Двухпортовые памяти данных XRAM и YRAM объемом по 64 Кбайт каждая;
- Пиковая производительность обеспечиваемая двумя DSP-ядрами:
 - 1892BM5АЯ:
 - **1200 млн. оп/с** 32-битных операций с плавающей точкой (IEEE 754);
 - **7200 млн. оп/с** 8-битных операций с фиксированной точкой;
 - **3200 млн. оп/с** 16-битных операций с фиксированной точкой;
 - **1600 млн. оп/с** 32-битных операций с фиксированной точкой.
 - 1892BM5БЯ:
 - **1080 млн. оп/с** 32-битных операций с плавающей точкой (IEEE 754);
 - **6480 млн. оп/с** 8-битных операций с фиксированной точкой;
 - **2880 млн. оп/с** 16-битных операций с фиксированной точкой;
 - **1440 млн. оп/с** 32-битных операций с фиксированной точкой.

Порт внешней памяти (MPORT):

- Шина данных – 64 разряда, шина адреса – 32 разряда;
- Поддержка асинхронной памяти типа SRAM, ROM, FLASH;
- Поддержка синхронной памяти типа SDRAM;
- Поддержка синхронной статической памяти типа SBSRAM;
- Программное конфигурирование типа блока памяти и его объема;
- Программное задание циклов ожидания;
- Формирование сигналов выборки 5 блоков внешней памяти;
- Обеспечение обслуживания 4 внешних прерываний;
- Перевод SDRAM в режим энергосбережения.

Контроллер PCI (PMSC – PCI Master-Slave controller):

- Соответствует спецификации Local Bus Specification. Rev. 2.2;
- Тактовая частота – до 66 МГц;
- Разрядность – 32 разряда;
- Режимы Master и Slave;
- 2 канала DMA;
- Встроен арбитр с циклически изменяемыми приоритетами запросов.

Периферийные устройства:

- 14 - канальный контроллер прямого доступа в память (DMA). 8 внешних запросов прямого доступа; Специальные режимы синхронизации. Поддержка 2-мерной и разрядно-инверсной адресации. Режим передачи Flyby, подобный реализованному в ADSP-TS201: внешнее устройство ↔ внешняя память;
- четыре линковых порта (LPORT) совместимые с ADSP21160. Имеется режим работы в качестве портов ввода-вывода общего назначения (GPIO);
- универсальный асинхронный порт (UART) типа 16550;
- 32-разрядный интервальный таймер (IT);
- 32-разрядный таймер реального времени (RTT);
- 32-разрядный сторожевой таймер (WDT).

Дополнительные возможности и особенности:

- Узел фазовой автоподстройки частоты (PLL) с умножителем/делителем входной частоты;
- Встроенные средства отладки программ (OnCD);
- Порт JTAG в соответствии со стандартом IEEE 1149.1;
- Режимы энергосбережения;
- Поддержка операционной системы Linux;
- Тип корпуса – HSBGA-416.

В Таблица 1.1 приведены основные параметры быстродействия для одного DSP-ядра микросхемы 1892ВМ5Я. При использовании второго DSP-ядра производительность удваивается.

Таблица 1.1 Основные параметры быстродействия одного DSP–процессора в составе микросхемы 1892ВМ5Я

Характеристика	Значение параметра
Пиковая производительность (в количестве арифметических операций за 1 такт) для: <ul style="list-style-type: none"> • 1b целочисленного формата данных • 8b целочисленного формата данных • 16b целочисленного формата данных • 32b целочисленного формата данных • 32b формата данных с плавающей точкой (IEEE754) 	128 36 16 9 6
Количество MAC - операций (умножение с накоплением) за 1 такт для: <ul style="list-style-type: none"> • MAC 1*1+32, целочисленный 1b формат данных • MAC (8+j8)*(8+j8)+(32+j32), комплексный целочисленный 8b формат данных • MAC 16*16+32, целочисленный 16b формат данных • MAC 32*32+64, целочисленный 32b формат данных • MAC32*32+32, формат 32b данных с плавающей точкой (IEEE754) 	64 4 4 2 2
Время выполнения операции сложения с плавающей точкой расширенного формата 32E16, в тактах: <ul style="list-style-type: none"> • с нормализацией результата • без нормализации результата 	2.5 1.5
Время выполнения операции вычитания с плавающей точкой расширенного формата 32E16, в тактах: <ul style="list-style-type: none"> • с округлением • без округления • без нормализации результата • без округления и нормализации 	3 2.5 2 1.5
Время выполнения операции сложения и вычитания одной пары операндов с плавающей точкой расширенного формата 32E16, в тактах: <ul style="list-style-type: none"> • с округлением • без округления • без нормализации результата • без округления и нормализации 	4.5 4 2.5 2
Время выполнения операции умножения с плавающей точкой расширенного формата 32E16, в тактах: <ul style="list-style-type: none"> • с нормализацией результата • без нормализации результата 	2 1
Нерекурсивная фильтрация, целочисленный формат 16*16+32: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	0.25 1
Нерекурсивная фильтрация, целочисленный формат 32*32+64: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	0.5 1

Характеристика	Значение параметра
Нерекурсивная фильтрация, целочисленный комплексный формат $(8+j8)*(8+j8)+(32+j32)$: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	0.25 1
Нерекурсивная фильтрация, целочисленный комплексный формат $(16+j16)*(16+j16)+(32+j32)$: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	1 2
Нерекурсивная фильтрация, целочисленный комплексный формат $(32+j32)*(32+j32)+(64+j64)$: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	2 4
Нерекурсивная фильтрация, комплексный формат плавающей точки $(32+j32)*(32+j32)+(32+j32)$: <ul style="list-style-type: none"> • Производительность, число тактов на отвод • Скалярная задержка 	2 4
БПФ- 1024, комплексный формат данных и коэффициентов $(16+j16)$, блочная плавающая точка	5800
БПФ - 1024, комплексный формат плавающей точки, стандарт IEEE 754	10500
БПФ- 256, комплексный формат данных и коэффициентов $(16+j16)$, блочная плавающая точка	1200
БПФ - 256, комплексный формат плавающей точки, стандарт IEEE 754	2150
Декодер Витерби, на одну метрику пути, 16b формат	0.5
БП Уолша – Адамара - 256, комплексное, формат $(16+j16)$, блочная плавающая точка	600
Деление (y/x), формат плавающей точки, стандарт IEEE 754 **)	5
Обратная величина квадратному корню, формат плавающей точки, стандарт IEEE 754	6

1.4 Структурная схема

Структурная схема микросхемы 1892ВМ5Я приведена на Рисунок 1.1.

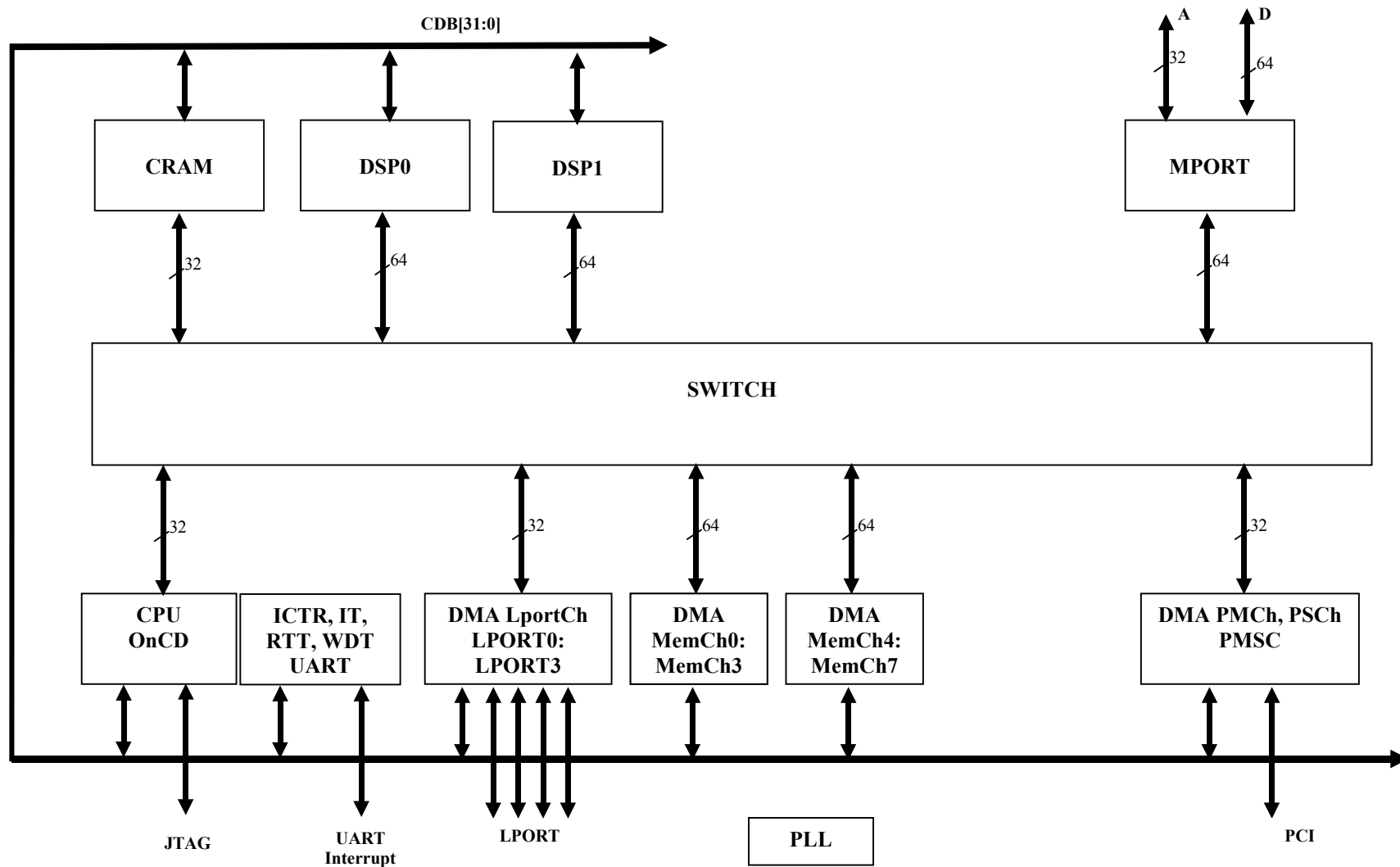


Рисунок 1.1. Структурная схема микросхемы 1892BM5Я

В состав микросхемы 1892ВМ5Я входят следующие основные узлы и компоненты:

- **CPU** – центральный процессор на основе RISC-ядра;
- **CRAM** – двухпортовая оперативная память центрального процессора;
- **DSP0, DSP1** – сопроцессоры цифровой обработки сигналов с плавающей и фиксированной точкой;
- **MPORT** – порт внешней памяти;
- **PMSC** (PCI Master-Slave controller) – контроллер PCI;
- **ICTR** – контроллер прерываний;
- **LPORT0:LPORT3** – линковые порты;
- **UART** – универсальный асинхронный порт;
- **ICACHE** – кэш программ центрального процессора;
- **IT** – интервальный таймер;
- **WDT** – сторожевой таймер;
- **RTT** – таймер реального времени;
- **DMA** – контроллер прямого доступа в память;
- **LportCh** – каналы DMA линковых портов;
- **MemCh** – каналы DMA типа память-память;
- **PMCh, PSch** – каналы DMA контроллера PCI;
- **CDB[31:0]** – шина данных CPU;
- **JTAG** – отладочный порт;
- **SWITCH** – коммутатор;
- **PLL** – узел фазовой автоподстройки частоты (умножитель частоты).
- **A[31:0]** – шина адреса порта внешней памяти;
- **D[63:0]** – шина данных порта внешней памяти;
- **OnCD** – встроенные средства отладки программ;
- **JTAG** – отладочный порт.

CPU по шине CDB имеет доступ ко всем устройствам 1892ВМ5Я.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). При этом процесс передачи данных между любыми парами Slave ↔ Master выполняется параллельно и без конфликтов.

Исполнительными устройствами являются блоки внутренней памяти, (CRAM, память DSP0, DSP1 или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU, каналы DMA линковых портов, каналы DMA типа память-память и каналы DMA контроллера PCI.

На Рисунок 1.2 приведена типовая схема применения микросхемы 1892ВМ5Я.

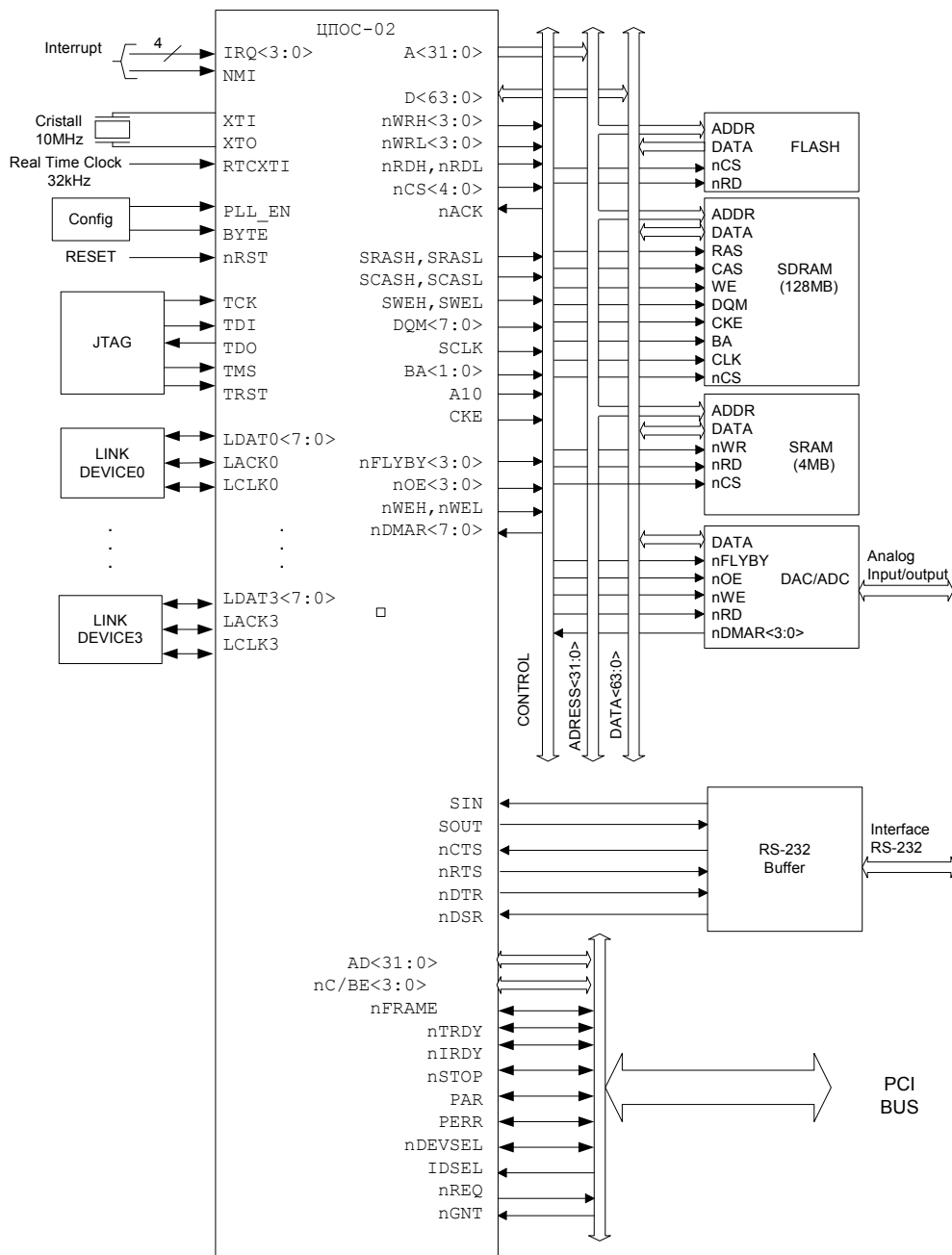


Рисунок 1.2. Типовая схема применения микросхемы 1892BM5Я

На Рисунок 1.2 использованы следующие обозначения:

- **FLASH** – постоянное запоминающее устройство типа FLASH;
- **SDRAM** – синхронное динамическое оперативное запоминающее устройство (ОЗУ);
- **SRAM** – статическое ОЗУ;
- **Interrupt** – запросы прерывания;
- **DAC/ADC** – цифро-аналоговые и аналого-цифровые преобразователи;
- **LINK DEVICE**– устройства, подключаемые к линковым портам;
- **RS-232 Buffer** – приемо-передатчики RS-232;
- **Config** – схема задания конфигурации;
- **RESET** – узел формирования сигнала установки исходного состояния.

1.5 Инструментальное программное обеспечение

Для данной микросхемы разработана интегрированная среда проектирования программного обеспечения MCStudio, которая обеспечивает полный цикл разработки и отладки программ. Эта среда является кросс-системой и функционирует на инструментальной машине IBM PC.

Интегрированная среда проектирования включает:

- среду разработки программ для CPU- и DSP-ядер;
- среду отладки программ в исходных текстах, исполняемых на программном симуляторе, и отладчик для работы с платой отладочного модуля для данной микросхемы или целевым устройством. Целевое устройство подключается к персональному компьютеру через эмулятор JTAG, предназначенный для работы с данным микропроцессором.
- средства программного моделирования;
- возможность доступа пользователю ко всем инструментам через один интерфейс.

Среда разработки программ для CPU-ядра включает:

- компилятор с языка Си с препроцессором;
- ассемблер с препроцессором;
- дисассемблер;
- линковщик;
- библиотекарь;
- утилиты подготовки исполняемого кода.

Среда разработки программ для DSP-ядра включает:

- ассемблер с препроцессором;
- дисассемблер;
- линковщик;
- библиотекарь;
- утилиты подготовки исполняемого кода.

Описание интегрированной среды и инструментального программного обеспечения приведено в документации (см. раздел 1.7 «Дополнительная документация»).

Инструментальное программное обеспечение 1892BM5Я базируется на архитектуре MIPS32. Вследствие этого, оно поддерживает большой объем свободно распространяемого программного обеспечения для этой архитектуры.

1.6 Операционная система для микросхемы 1892BM5Я

Linux - свободно распространяемое ядро Unix-подобной операционной системы. Linux обладает всеми свойствами современной Unix-системы, включая полноценную многозадачность, развитую подсистему управления памятью и сетевую подсистему.

Ядро Linux, поставляемое вместе со свободно распространяемыми прикладными и системными программами образует полнофункциональную универсальную операционную систему. Большую часть базовых системных компонент Linux унаследовал от проекта GNU, целью которого является создание свободной микроядерной операционной системы с лицом Unix.

На CPU-ядро процессора 1892BM5Я портировано ядро Linux, предоставляемое по отдельному запросу.

1.7 Дополнительная документация

Дополнительно при изучении данного руководства рекомендуется использовать следующие документы:

- Процессорное ядро RISCore32. Система команд (ПАЯЖ. 00004-01 3302);
- DSP-ядро ELcore-26. Система инструкций;
- Интегрированная среда разработки и отладки программ MCStudio™. Установка среды MCStudio™. Руководство системного программиста;
- Интегрированная среда разработки и отладки программ MCStudio™. Описание пользовательского интерфейса. Руководство оператора.
- Интегрированная среда разработки и отладки программ MCStudio™. Руководство программиста
- Интегрированная среда разработки и отладки программ MCStudio™. Инструменты ядра DSP. Руководство оператора;
- Интегрированная среда разработки и отладки программ MCStudio™. Инструменты ядра RISC. Руководство оператора.
- Микросхемы 1892BM3T, 1892BM2Я, 1892BM5Я, 1892BM8Я. Примеры программирования.

Библиотека прикладных программ (поставляется дополнительно) включает:

- алгоритмы БПФ комплексных и действительных чисел;
- алгоритмы быстрой свертки и корреляции посредством БПФ (перекрывание с накоплением);
- рекурсивные и не рекурсивные алгоритмы фильтрации данных;
- элементарные математические функции;
- арифметические операции над матрицами;
- обработка изображений.

2. ЦЕНТРАЛЬНЫЙ ПРОЦЕССОР

2.1 Основные характеристики CPU

- Архитектура – MIPS32;
- 32-х битные пути передачи адреса и данных;
- Кэш команд объемом 2 Кбайт;
- Архитектура привилегированных ресурсов в стиле ядра R4000:
 - Регистры Count/Compare для прерываний реального времени;
 - Отдельный вектор обработки исключений по прерываниям;
- Программируемое устройство управления памятью:
 - Два режима работы – с TLB и Fixed Mapped (FM);
 - 16 строк в режиме TLB;
 - В режиме FM адресные пространства отображаются с использованием битов регистров;
- Устройство умножения и деления;
- Поддержка отладки JTAG.

2.2 Блок схема

Блок схема процессорного ядра RISCore32 приведена на Рисунок 2.1.

Ядро содержит следующие узлы:

- Устройство исполнения (Execution Core);
- Устройство умножения и деления (MDU);
- Системный управляющий сопроцессор (CP0);
- Устройство управления памятью (MMU – Memory Management Unit);
- Контроллер кэш (Cache Controller);
- Устройство шинного интерфейса (BIU);
- Кэш команд (I\$);
- Средства отладки программ (OnCD – On Chip Debugger) с JTAG портом.

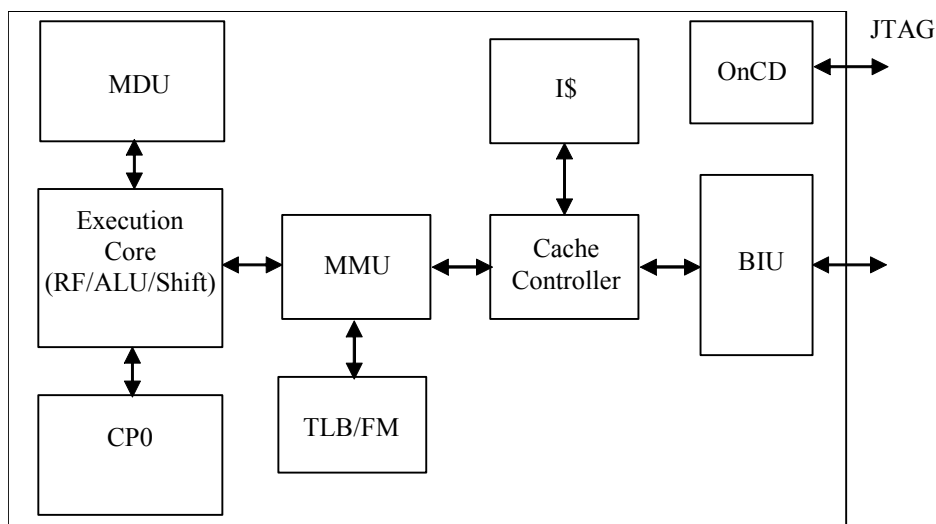


Рисунок 2.1. Блок схема процессорного ядра RISCore32

2.3 Составляющие логические блоки

В следующих подразделах описываются устройства, входящие в состав процессорного ядра.

2.3.1 Устройство исполнения

Входящее в ядро устройство исполнения реализует архитектуру load-store (загрузка-сохранение) с одноктактными операциями арифметического логического устройства (АЛУ) (логические операции, операции сдвига, сложение и вычитание). В ядре имеется тридцать два 32-х битных регистра общего назначения, используемых для скалярных целочисленных операций и вычисления адреса. В регистровом файле есть два порта чтения и один порт записи. Также используются обходные пути передачи данных для минимизации количества остановок конвейера.

В состав устройства исполнения входят:

- регистровый файл (RF);
- 32-х битный сумматор, используемый для вычисления адреса данных;
- адресное устройство для вычисления адреса следующей команды;
- логика определения перехода и вычисления адреса перехода;
- блок выравнивания при загрузке данных;
- мультиплексоры обходных путей передачи данных для исключения остановок конвейера в тех случаях, когда команды, производящие данные и команды, использующие эти данные, расположены в программе достаточно близко;
- блок обнаружения Нуля/Единицы для реализации команд CLZ и CLO;
- АЛУ для выполнения побитных операций (ALU);
- сдвигающее устройство (Shift) и устройство выравнивания при сохранении данных.

Регистровый файл содержит 32 32-разрядных регистра.

Регистр r0 имеет нулевое исходное состояние и сохраняет его при попытке записи данных в него. То есть, команда записи в него рассматривается как NOP (нет операции). Использование этого регистра позволяет реализовывать различные адресные режимы,

операцию NOP, операции обнуления регистров и ячеек памяти и т.д. без расширения базового набора системы команд процессора.

Регистры r1 – r30 являются регистрами общего назначения и доступны по записи и чтению данных.

Регистр r31 используется как регистр связи (link register) при выполнении команд Jump and Link, Branch and Link. Эти команды используются для вызова подпрограмм с сохранением адреса возврата в регистре r31. Этот регистр доступен по записи и чтению.

Исходное состояние регистров r1 – 31 является неопределенным.

В добавлении к регистровому файлу процессорное ядро содержит два регистра HI и LO, которые предназначены для запоминания 64-разрядного результата операции целочисленного умножения и деления (quotient и remainder). Исходное состояние регистров HI и LO является неопределенным.

2.3.2 Устройство умножения/деления (MDU)

Устройство умножения/деления выполняет соответствующие операции. MDU выполняет операции умножения за 17 тактов, операции умножения с накоплением за 18 тактов, операции деления за 33 такта и операции деления с накоплением за 34 такта. Попытка активизировать следующую команду умножения/деления до завершения выполнения предыдущей, так же как и использование результата этой операции до того, как она закончена, вызывает остановку конвейера. В MDU имеется вывод, определяющий формат операции – знаковый или беззнаковый.

2.3.3 Системный управляющий сопроцессор

Сопроцессор отвечает за преобразование виртуального адреса в физический, протоколы кэш, систему управления исключениями, выбор режима функционирования (Kernel/User) и за разрешение/запрещение прерываний. Конфигурационная информация доступна посредством чтения регистров CP0 (см. главу 5 “Регистры CP0”).

2.3.4 Устройство управления памятью (MMU)

Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между исполнительным блоком и контроллером кэш. Ядро может работать как в режиме TLB – с 16-строчной, полностью ассоциативной матрицей TLB, так и в режиме FM (Fixed Mapped), когда используются простые преобразования виртуального адреса в физический. Полностью устройство MMU описано в п. 2.5.

2.3.5 Контроллер кэш

В данной версии процессора реализован кэш команд, виртуально индексируемый и контролируемый по физическому тэгу типа direct mapped, что позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем кэш памяти составляет 16 Кбайта.

2.3.6 Устройство шинного интерфейса (BIU – Bus Interface Unit)

Устройство шинного интерфейса управляет внешними интерфейсными сигналами в соответствии со спецификацией шины АНВ (Advanced High-performance Bus) архитектуры AMBA (Advanced Microcontroller Bus Architecture).

2.3.7 OnCD контроллер

В ядре имеется устройство для отладки программ OnCD с портом JTAG.

2.4 Конвейер

В CPU-ядре процессора реализован конвейер, состоящий из пяти стадий и аналогичный конвейеру ядра R3000. Конвейер дает возможность процессору работать на высокой частоте, при этом минимизируется сложность устройства, а также уменьшается стоимость и потребление энергии.

В этой главе содержатся следующие разделы:

- Раздел 2.1, “Стадии работы конвейера”
- Раздел 2.2, “Операции умножения и деления”
- Раздел 2.3, “Задержка выполнения команд перехода”
- Раздел 2.4, “Обходные пути передачи данных (Data bypass)”
- Раздел 2.5, “Задержка загрузки данных”
- Раздел 2.6, “Особые случаи при выполнении команд (Instruction Hazards)”

2.4.1 Стадии конвейера

Конвейер содержит пять стадий:

- Выборка команды (стадия I - Instruction)
- Дешифрация команды (стадия D - Data)
- Исполнение команды (стадия E - Execution)
- Выборка из памяти (стадия M - Memory)
- Обратная запись (стадия W – Write Back)

На Рисунок 2.2 показаны операции, выполняемые CPU-ядром на каждом этапе конвейера.

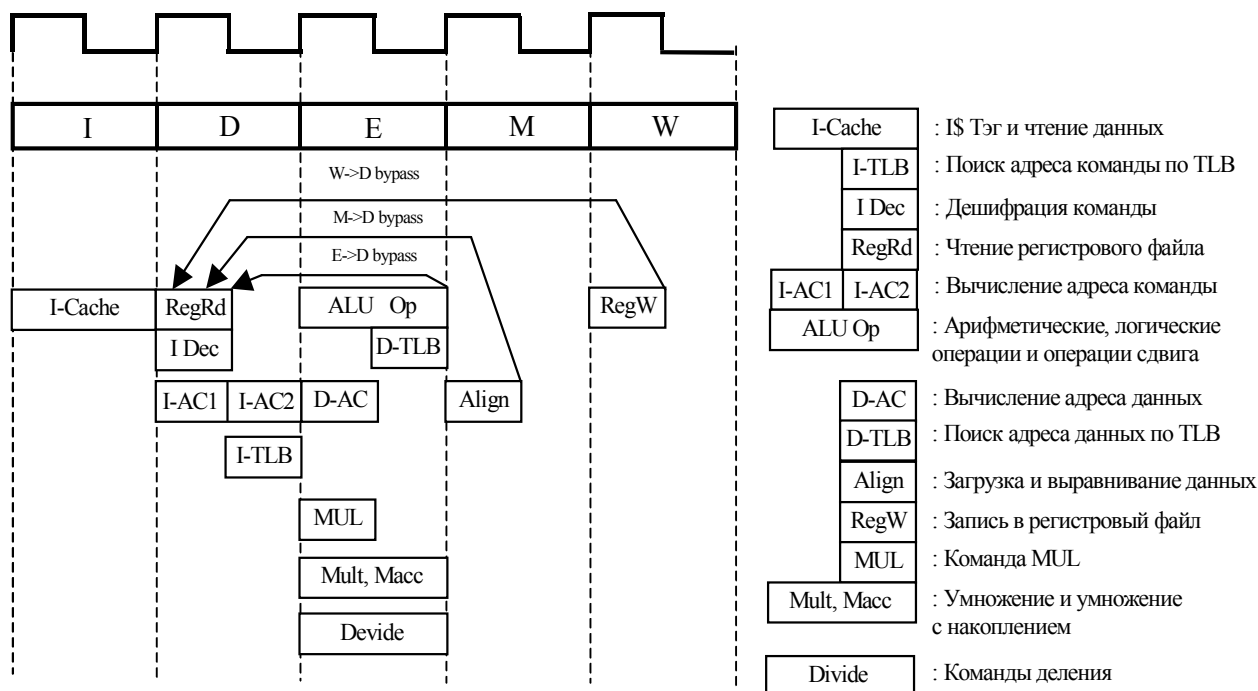


Рисунок 2.2

2.4.1.1 Стадия I: выборка команды

На этой стадии команда выбирается из командного кэша.

2.4.1.2 Стадия D: дешифрация команды

На этой стадии:

- Операнды выбираются из регистрового файла.
- Операнды передаются на эту стадию со стадий E, M и W.
- ALU определяет, выполняется ли условие перехода и вычисляет виртуальный адрес перехода для команд перехода.
- Осуществляется преобразование виртуального адреса в физический.
- Производится поиск адреса команды по TLB и вырабатывается признак hit/miss.
- Командная логика выбирает адрес команды.

2.4.1.3 Стадия E: исполнение

На этой стадии:

- ALU выполняет арифметические или логические операции для команд типа регистр-регистр.
- Производится преобразование виртуального адреса в физический для данных, используемых командами загрузки и сохранения.
- Производится поиск данных по TLB и вырабатывается признак hit/miss.
- Все операции умножения и деления выполняются на этой стадии.

2.4.1.4 Стадия M: выборка из памяти

На этой стадии осуществляется загрузка и выравнивание загруженных данных в границах слова.

2.4.1.5 Стадия W: обратная запись

На этой стадии для команд типа регистр-регистр или для команд загрузки результат записывается обратно в регистровый файл.

2.4.2 Операции умножения и деления

Время выполнения этих операций соответствует 17 тактам для команд умножения и 18 тактам для команд умножения с накоплением, а также 33 тактам для команд деления и 34 тактам для команд деления с накоплением.

2.4.3 Задержка выполнения команд перехода (Jump, Branch)

Конвейер осуществляет выполнение команд перехода с задержкой в один такт. Однотактная задержка является результатом функционирования логики, ответственной за принятие решения о переходе на стадии D конвейера. Эта задержка позволяет использовать адрес перехода, вычисленный на предыдущей стадии, для доступа к команде на следующей D-стадии. Слот задержки перехода (branch delay slot) позволяет отказаться от остановок конвейера при переходе. Вычисление адреса и проверка условия перехода выполняются одновременно на стадии D. Итоговое значение PC (счетчика команд) используется для выборки очередной команды на стадии I, которая является второй командой после перехода. На Рисунок 2.3 показан слот задержки перехода.

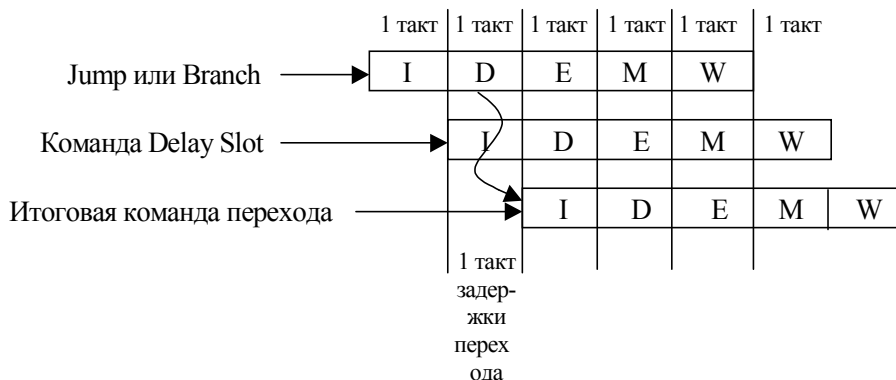


Рисунок 2.3. Слот задержки перехода

2.4.4 Обходные пути передачи данных (Data bypass)

Для большинства команд MIPS32 исходными операндами являются значения, хранящиеся в регистрах общего назначения. Эти операнды выбираются из регистрового файла в первой половине D-стадии. После исполнения на ALU результат, в принципе, готов для использования другими командами. Но запись результата в регистровый файл осуществляется только на стадии W. Это лишает следующую команду возможности использовать результат в течение 3-х циклов, если ее операндом является результат выполнения последней операции, сохраненный в регистровом файле. Для преодоления этой проблемы используются обходные пути передачи данных.

Мультиплексоры обходных путей передачи данных для обоих операндов располагаются между регистровым файлом и ALU (Рисунок 2.4). Они позволяют передавать данные с выхода стадий E, M и W конвейера прямо на стадию D, если один из регистров источника (source) декодируемой команды совпадает с регистром назначения (target) одной из предшествующих команд. Входы мультиплексоров подключены к обходным путям M→D и E→D, а также W→D.

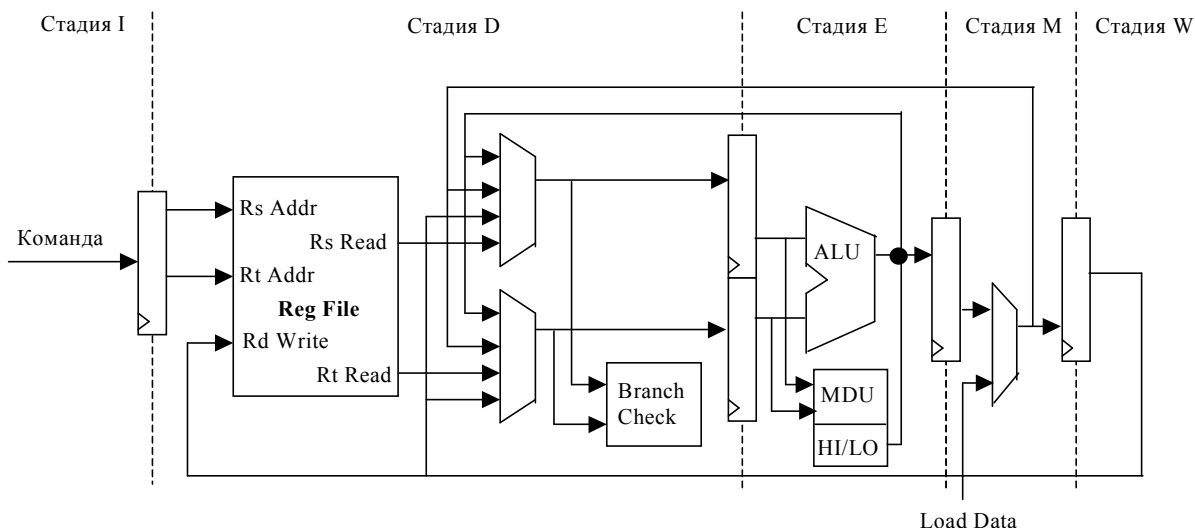


Рисунок 2.4

На Рисунок 2.5 показаны обходные пути передачи данных для команды Add₁, за которой следует команда Sub₂ и затем снова Add₃. Поскольку команда Sub₂ в качестве одного из операндов использует результат операции Add₁, используется обходной путь E→D. Следующая команда Add₃ использует результаты обеих предшествующих операций: Add₁ и Sub₂. Так как данные команды Add₁ в это время находятся на стадии M,

используется обходной путь $M \rightarrow D$. Кроме того, вновь используется обходной путь $E \rightarrow D$ для передачи результата операции Sub_2 команде Add_3 .

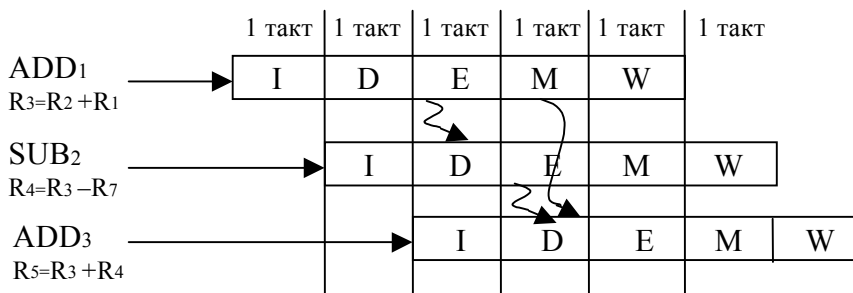


Рисунок 2.5

2.4.5 Задержка загрузки данных

Данные, выбираемые командами загрузки (Load), становятся доступными на конвейере только после выравнивания на стадии М. При этом данные, являющиеся исходными операндами, должны предоставляться командам для обработки уже на стадии D. Поэтому, если сразу за командой загрузки следует команда, для которой один из регистров исходных операндов совпадает с регистром, в который производится загрузка данных, это вызывает приостановку в работе конвейера на стадии D. Эта приостановка осуществляется аппаратной вставкой команды NOP. Во время этой задержки часть конвейера, которая находится дальше стадии D, продолжает продвигаться. Если же команда, использующая загружаемые данные, следует за командой загрузки не сразу, а через одну или через две, то для обеспечения бесперебойной работы конвейера используется один из обходных путей передачи данных: $M \rightarrow D$ или $W \rightarrow D$ (Рисунок 2.6).

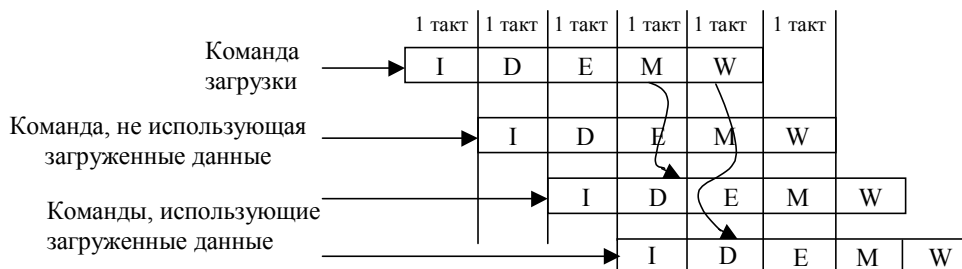


Рисунок 2.6

2.5 Устройство управления памятью (MMU)

2.5.1 Введение

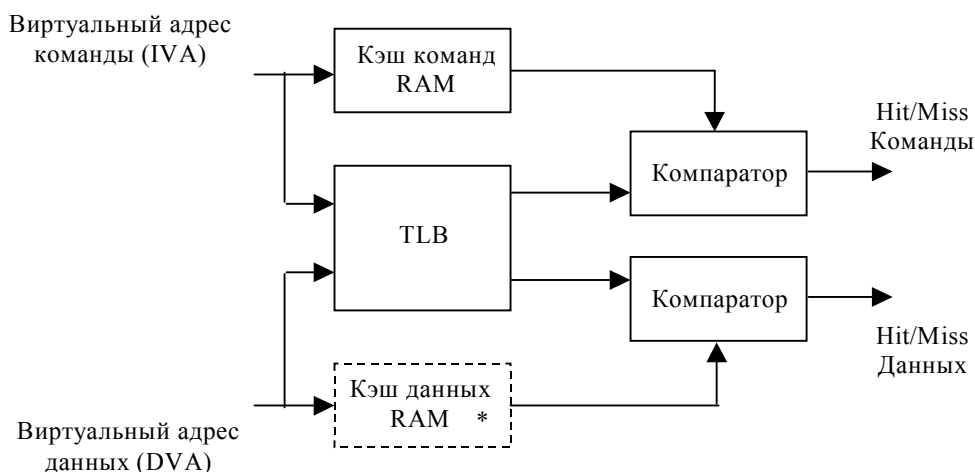
Процессорное ядро содержит устройство управления памятью (MMU), реализующее интерфейс между устройством исполнения и контроллером кэш. MMU преобразует виртуальный адрес в физический прежде, чем посылает запрос контроллеру кэш для сравнения тэга или блоку шинного интерфейса для доступа к внешнему запоминающему устройству. Это преобразование является очень полезным свойством функционирования операционных систем при управлении физической памятью таким образом, чтобы в ней размещались несколько процессов, активных в одной и той же области памяти, и может быть даже на одном виртуальном адресе, но обязательно в различных областях физической памяти. Другие свойства MMU - защита зон памяти и определение протокола кэш.

MMU может выполнять преобразование адресов в двух режимах: в режиме TLB и в режиме FM. Режим преобразования определяется битом FM регистра CSR.

В режиме TLB используется полностью ассоциативная таблица преобразования адресов (TLB), имеющая 16 парных строк (entries). Во время преобразования осуществляется поиск соответствия по TLB. Если искомая строка отсутствует, генерируется прерывание.

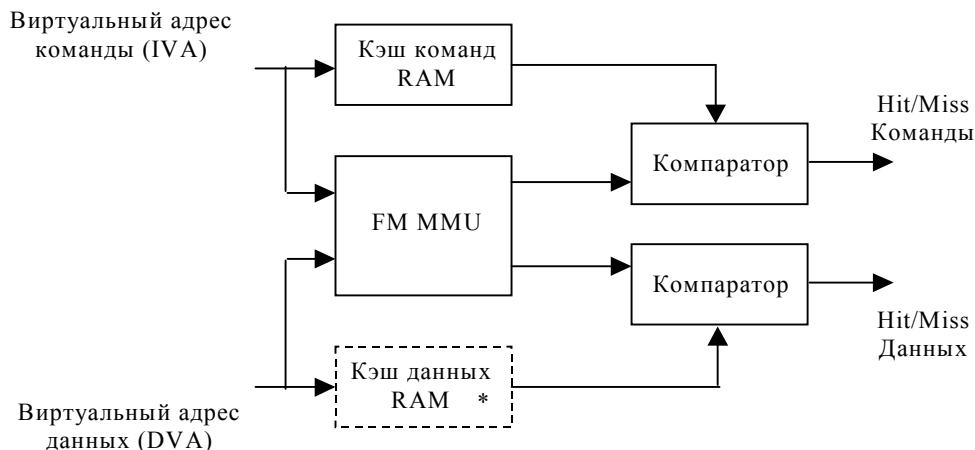
В режиме FM (Fixed Mapped) работа MMU основана на простом алгоритме, обеспечивающем преобразование виртуального адреса в физический посредством механизма фиксированного отображения. Правила преобразования отличаются для различных областей виртуального адресного пространства (useg/kuseg, kseg0, kseg1, kseg2, kseg3).

На Рисунок 2.7 показано, взаимодействие MMU с процедурой доступа к кэш в режиме TLB, а на Рисунок 2.8 – в режиме FM.



* - Кэш данных в данной реализации отсутствует

Рисунок 2.7



* - Кэш данных в данной реализации отсутствует

Рисунок 2.8

2.5.2 Режимы работы.

Процессорное ядро поддерживает два режима работы:

- Режим User (непривилегированный режим)
- Режим Kernel (привилегированный режим)

Режим User в основном используется для прикладных программ. Режим Kernel обычно используется для обработки исключительных ситуаций и привилегированных функций операционной системы, включая управление сопроцессором CP0 и доступ к устройствам ввода-вывода.

Преобразования, выполняемые MMU, зависят от режима работы процессора.

2.5.2.1 Виртуальные сегменты памяти

Виртуальные сегменты памяти, на которые делится адресное пространство, различаются в зависимости от режима работы процессора. На Рисунок 2.9 показана сегментация для 4 Гбайт (2^{32} байт) виртуального адресного пространства, адресуемого 32-разрядным виртуальным адресом для обоих режимов работы.

Ядро входит в режим Kernel после аппаратного сброса или когда происходит исключение. В режиме Kernel программное обеспечение имеет доступ к полному адресному пространству и ко всем регистрам CP0. В режиме User доступ ограничен подмножеством виртуального адресного пространства (0x0000_0000 - 0x7FFF_FFFF) и запрещен доступ к функциям CP0. В режиме User недоступны виртуальные адреса 0x8000_0000 - 0xFFFF_FFFF и обращение к ним вызывает исключение.

0xFFFF_FFFF			kseg3
0xE000_0000			
0xDFFF_FFFF			kseg2
0xC000_0000			
0xBFFF_FFFF			kseg1
0xA000_0000			
0x9FFF_FFFF			kseg0
0x8000_0000			
0x7FFF_FFFF			
	useg		kuseg
0x0000_0000			

Рисунок 2.9. Карта виртуальной памяти для режимов User и Kernel

Каждый из сегментов, показанных на рис. 2.9, является либо отображаемым (mapped), либо неотображаемым (unmapped). Различие объясняется в следующих двух разделах.

2.5.2.1.1 Неотображаемые сегменты

В неотображаемом сегменте механизмы TLB или FM для преобразования виртуального адреса в физический адрес не используются. Особенно важно иметь неотображаемые сегменты памяти после аппаратного сброса, потому что TLB еще не запрограммировано и не может осуществлять преобразования.

Для неотображаемых сегментов преобразование виртуального адреса в физический является фиксированным.

Все неотображаемые сегменты, за исключением kseg0, никогда не кэшируемы. Кэшируемость kseg0 определяется полем K0 регистра Config CP0.

2.5.2.1.2 Отображаемые сегменты

В отображаемом сегменте для преобразования виртуального адреса в физический адрес используются TLB или FM.

В режиме TLB преобразование отображаемых сегментов имеет постраничную основу. При преобразовании выявляется информация о кэшируемости страницы, а также атрибуты защиты, относящиеся к странице.

Для режима FM отображаемые сегменты имеют закрепленное преобразование виртуального адреса в физический. Кэшируемость сегмента определяется значениями полей K23 и KU регистра Config CP0. При FM-преобразовании невозможна защита сегментов от записи.

2.5.2.2 Режим User

В режиме User доступно однородное виртуальное адресное пространство размером 2 ГБайт (2^{31} байт), называемое сегментом пользователя.

На Рисунок 2.10 показано размещение виртуального адресного пространства режима User.

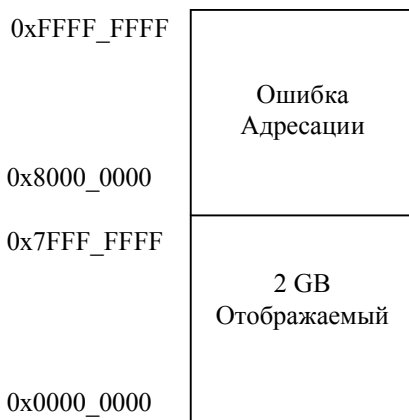


Рисунок 2.10

Сегмент потребителя начинается с адреса 0x0000_0000 и заканчивается адресом 0x7FFF_FFFF. Обращения по всем остальным адресам вызывают прерывания по ошибке адресации.

Процессор находится в режиме User, если в регистре Status CP0 установлены следующие значения разрядов:

- UM = 1
- EXL = 0
- ERL = 0

В Таблица 2.1 приводятся характеристики сегмента useg режима User.

Таблица 2.1

Адрес	Регистр состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	0	0	1	useg	0x0000_0000 → 0x7FFF_FFFF	2GB (2^{31} байт)

Для всех допустимых виртуальных адресов режима User старший значащий бит адреса равен нулю, поскольку в режиме User допустимо обращение только к нижней половине карты виртуальной памяти. Любая попытка обращения по адресу со старшим битом, равным 1, в режиме User вызывает прерывание по ошибке адресации.

В режиме TLB виртуальный адрес перед преобразованием расширяется содержимым 8-разрядного поля ASID, образуя уникальный виртуальный адрес. Кэшируемость ссылки для страницы в этом режиме определяется установкой определенных бит строки TLB.

В режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

2.5.2.3 Режим Kernel

Процессор находится в режиме Kernel, когда регистр Status CP0 содержит хотя бы одно из следующих значений:

- UM = 0
- ERL = 1
- EXL = 1

Когда обнаруживается исключение, биты EXL или ERL устанавливаются, и процессор входит в режим Kernel. При завершении процедуры обработки исключения обычно выполняется команда возвращения из исключения (ERET). Команда ERET осуществляет переход по PC исключения, очищает ERL и EXL (если ERL=0). В результате возможен возврат процессора в режим User.

Виртуальное адресное пространство режиме Kernel разделено на области в соответствии со значением старших битов виртуального адреса, как показано на рисунке 2.11. Кроме того, в таблице 2.2 содержатся характеристики сегментов режима Kernel.

0xFFFF_FFFF	Kernel virtual address space Mapped , 512 MB	kseg3
0xE000_0000		
0xDFFF_FFFF	Kernel virtual address space Mapped, 512 MB	kseg2
0xC000_0000		
0xBFFF_FFFF	Kernel virtual address space Unmapped, Uncached, 512 MB	kseg1
0xA000_0000		
0x9FFF_FFFF	Kernel virtual address space Unmapped, 512 MB	kseg0
0x8000_0000		
0x7FFF_FFFF		
	Mapped, 2048 MB	kuseg
0x0000_0000		

Рисунок 2.11

Таблица 2.2

Адрес	Регистр Состояния			Имя сегмента	Диапазон адресов	Размер сегмента
	EXL	ERL	UM			
A(31)=0	UM = 0			kuseg	0x0000_0000 → 0x7FFF_FFFF	2 GB (2 ³¹)
A(31:29)=100 ₂				или	kseg0	0x8000_0000 → 0x9FFF_FFFF
	EXL=1					
A(31:29)=101 ₂	ERL=1			kseg1	0xA000_0000 → 0xBFFF_FFFF	512 MB (2 ²⁹)
A(31:29)=110 ₂				или	kseg2	0xC000_0000 → 0xDFFF_FFFF
A(31:29)=111 ₂				kseg3	0xE000_0000 → 0xFFFF_FFFF	512 MB (2 ²⁹)

2.5.2.3.1 Режим Kernel, Пространство пользователя (kuseg)

Если старший значащий бит виртуального адреса A[31]=0, то выбирается виртуальное адресное пространство kuseg объемом 2 Гбайт, отображенное на адреса 0x0000_0000 - 0x7FFF_FFFF.

При ERL=0 в режиме TLB виртуальный адрес расширяется 8-битным значением поля ASID для образования уникального виртуального адреса. Кэшируемость определяется полем C строки TLB.

При ERL=0 в режиме FM, область виртуальных адресов 0x0000_0000-0x7FFF_FFFF преобразуется в область физических адресов 0x4000_0000-0xBFFF_FFFF. Кэшируемость задается полем KU регистра Config CP0.

При ERL = 1 в режимах TLB и FM, область адресов пользователя становится неотображаемым и некэшируемым адресным пространством. Виртуальный адрес kuseg соответствует тому же физическому адресу и не включает поле ASID. То есть, область виртуальных адресов kuseg соответствует области физических адресов 0x0000_0000-0x7FFF_FFFF.

2.5.2.3.2 Режим Kernel, пространство 0 режима Kernel (kseg0).

Если в режиме Kernel три старших бита виртуального адреса равны 100₂, выбирается виртуальное адресное пространство kseg0. Это область размером 2²⁹ байт (512 MB), которая расположена внутри границ, определяемых адресами 0x8000_0000 и 0x9FFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg0 не отображаются, а физический адрес получается вычитанием 0x8000_0000 из виртуального адреса. Кэшируемость сегмента kseg0 определяется значением поля K0 регистра Config CP0.

2.5.2.3.3 Режим Kernel, пространство 1 режима Kernel (kseg1)

Если в режиме Kernel три старших бита виртуального адреса равны 101_2 , выбирается виртуальное адресное пространство kseg1. Это область размером 2^{29} байт (512 МВ), которая расположена внутри границ, определяемых адресами 0xA000_0000 и 0xBFFF_FFFF.

Вне зависимости от состояния бита ERL и режима работы ссылки к kseg1 не отображаются, а физический адрес получается вычитанием 0xA000_0000 из виртуального адреса.

2.5.2.3.4 Режим Kernel, пространство 2 режима Kernel (kseg2)

Если в режиме Kernel три старших бита виртуального адреса равны 110_2 , выбирается виртуальное адресное пространство kseg2.

В режиме TLB вне зависимости от состояния бита ERL это виртуальное пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xC000_0000 - 0xDFFF_FFFF и его кэшируемость определяется полем K23 Регистра Config CP0.

2.5.2.3.5 Режим Kernel, пространство 3 режима Kernel (kseg3)

Если в режиме Kernel три старших бита виртуального адреса равны 111_2 , выбирается 32-разрядное виртуальное адресное пространство kseg3.

В режиме TLB вне зависимости от состояния бита ERL это пространство отображается через TLB и его кэшируемость определяется полем C строки TLB.

В режиме FM вне зависимости от состояния бита ERL это виртуальное пространство зафиксировано в физических адресах 0xE000_0000 - 0xFFFF_FFFF и его кэшируемость определяется полем K23 регистра Config.

2.5.3 Буфер быстрого преобразования адреса (TLB)

В этой главе описывается управление памятью с помощью буфера быстрого преобразования адреса (TLB), которое осуществляется в режиме TLB.

В режиме TLB реализуется полностью ассоциативный буфер быстрого преобразования адреса (TLB), содержащий 16 двойных строк, позволяющих отображать 32 виртуальных страницы в соответствующие физические адреса. TLB организовано в виде 16 парных строк – четных и нечетных, содержащих страницы размером от 4 Кбайт до 16 Мбайт, которые хранятся в 4 Гбайтном физическом адресном пространстве. Задача TLB состоит в преобразовании виртуальных адресов и их соответствующего идентификатора адресного пространства (ASID) в физический адрес памяти. Преобразование выполняется путем сравнения старших разрядов виртуального адреса (вместе с битами поля ASID) с каждой из строк тэговой порции TLB и иначе называется поиском соответствия по TLB (поиском соответствия тэга одной из строк виртуальному адресу на входе TLB).

Буфер TLB организован в виде страничных пар для минимизации общего количества хранящейся информации. Каждая строка тэговой порции соответствует двум физическим строкам данных – строке четных страниц и строке нечетных страниц. Самый старший разряд виртуального адреса, не участвующий в сравнении тэгов, определяет,

какая строка из двух строк данных используется. Поскольку размер страницы может варьироваться для каждой пары страниц, определение адресных разрядов, участвующих в сравнении и разряда, задающего четность страницы, должно осуществляться динамически при поиске по TLB.

На Рисунок 2.12 показано содержание одной из 16 двойных строк TLB.

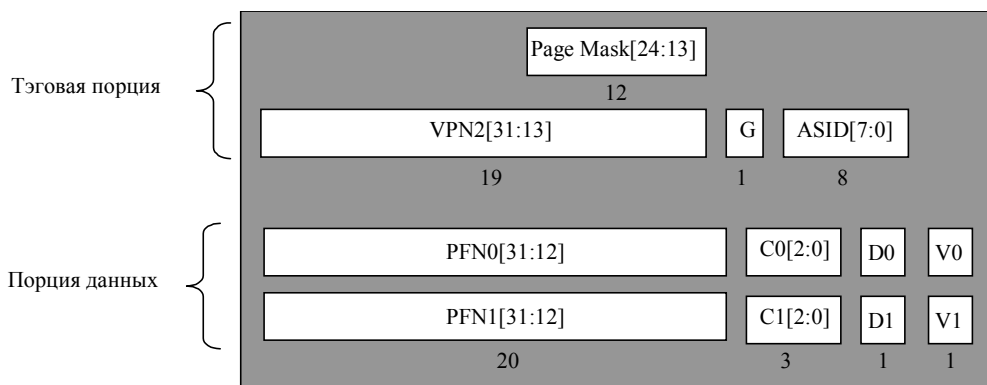


Рисунок 2.12

Описание полей строки TLB приведены в Таблица 2.3.

Таблица 2.3

Название поля	Описание																								
Page Mask[24:13]	Значение маски размера страницы. Определяет размер страницы маскировкой соответствующих разрядов VPN2, и тем самым исключением их из рассмотрения. Также используется для задания адресного разряда, определяющего четность страницы (PFN0-PFN1). См. следующую таблицу:																								
	<table border="1"> <thead> <tr> <th>PageMask[11:0]</th> <th>Размер страницы</th> <th>Бит определения четности</th> </tr> </thead> <tbody> <tr> <td>0000_0000_0000</td> <td>4 Кб</td> <td>VAddr[12]</td> </tr> <tr> <td>0000_0000_0011</td> <td>16 Кб</td> <td>VAddr[14]</td> </tr> <tr> <td>0000_0000_1111</td> <td>64 Кб</td> <td>VAddr[16]</td> </tr> <tr> <td>0000_0011_1111</td> <td>256 Кб</td> <td>VAddr[18]</td> </tr> <tr> <td>0000_1111_1111</td> <td>1 Мб</td> <td>VAddr[20]</td> </tr> <tr> <td>0011_1111_1111</td> <td>4 Мб</td> <td>VAddr[22]</td> </tr> <tr> <td>1111_1111_1111</td> <td>16 Мб</td> <td>VAddr[24]</td> </tr> </tbody> </table>	PageMask[11:0]	Размер страницы	Бит определения четности	0000_0000_0000	4 Кб	VAddr[12]	0000_0000_0011	16 Кб	VAddr[14]	0000_0000_1111	64 Кб	VAddr[16]	0000_0011_1111	256 Кб	VAddr[18]	0000_1111_1111	1 Мб	VAddr[20]	0011_1111_1111	4 Мб	VAddr[22]	1111_1111_1111	16 Мб	VAddr[24]
	PageMask[11:0]	Размер страницы	Бит определения четности																						
	0000_0000_0000	4 Кб	VAddr[12]																						
	0000_0000_0011	16 Кб	VAddr[14]																						
	0000_0000_1111	64 Кб	VAddr[16]																						
	0000_0011_1111	256 Кб	VAddr[18]																						
	0000_1111_1111	1 Мб	VAddr[20]																						
0011_1111_1111	4 Мб	VAddr[22]																							
1111_1111_1111	16 Мб	VAddr[24]																							
В столбце Page Mask приведены все возможные значения Page Mask. Поскольку каждая пара битов этого поля всегда имеет одинаковое значение, физическая строка в TLB содержит сокращенную версию Page Mask, содержащую только 6 бит. Однако для программы это значение всегда преобразуется в 12-битное.																									
Следует иметь в виду, что при кэшируемых ссылках, страницы размером 4 Кбайт использовать нельзя.																									
VPN2[31:13]	Виртуальный номер страницы без младшего разряда. Данное поле содержит старшие разряды виртуального номера страницы. Виртуальный номер соответствует двум страницам TLB. Конкретная страница TLB выбирается младшим разрядом виртуального адреса страницы. Разряды 31:25 всегда участвуют в сравнении. Участие в сравнении разрядов 24:13 зависит от размера страницы, задаваемого полем Page Mask.																								
G	Бит глобальности. Если он установлен, данная строка является глобальной для всех процессов и подпроцессов, и таким образом, поле ASID исключается из рассмотрения.																								
ASID[7:0]	Идентификатор адресного пространства. Определяет процесс или подпроцесс, с которым ассоциируется данная строка TLB.																								

Название поля	Описание		
PFN0[31:12], PFN0[31:12]	Физический номер кадра. Задаёт старшие разряды физического адреса. Для страниц размером более 4 Кбайт используется подмножество этого поля.		
C0[2:0], C1[2:0]	Кэшируемость. Содержит закодированное значение атрибута кэшируемости и определяет, должна ли страница помещаться в кэш или нет. Поле кодируется следующим образом:		
		C[2:0]	Атрибуты когерентности
		000	При записи преобразуется в код 011
		001	При записи преобразуется в код 011
		010	Некэшируемая страница
		011	Кэшируемая страница
		100	При записи преобразуется в код 011
		101	При записи преобразуется в код 011
		110	При записи преобразуется в код 011
111	При записи преобразуется в код 010		
D0, D1	“Dirty” (Грязная страница) – бит разрешения записи. Показывает, что в страницу была сделана запись и/или разрешена запись в данную страницу. Если этот бит установлен, разрешены операции сохранения в данной странице. Если не установлен, сохранения в данной странице будут вызывать исключения модификации.		
V0, V1	Бит валидности. Показывает, что данная строка TLB и соответственно отображение виртуальной страницы, действительны. Если этот бит установлен, то обращения к данной странице разрешены. Если не установлен, то обращения к странице будут вызывать исключения невалидности TLB (TLB invalid).		

Для заполнения строки TLB используются команды TLBWI и TLBWR (См. главу 7 “Система команд”). Перед запуском этих команд нужно обновить некоторые регистры CP0, записав в них значения, которые будут затем помещены в строку TLB.

- Значение Page Mask задается в регистре Page Mask CP0.
- Значения VPN2 и ASID задаются в регистре EntryHi CP0.
- Значения PFN0, C0, D0, V0 и G задаются в регистре EntryLo0 CP0.
- Значения PFN1, C1, D1, V1 и G задаются в регистре EntryLo1 CP0.

Биты глобальности G входят в оба регистра EntryLo0 и EntryLo1. Бит G строки TLB является результатом логической операции И, проведенной над битами глобальности из EntryLo0 и EntryLo1. Более подробно эти регистры описаны в главе 4 “Регистры CP0”.

Наличие идентификатора адресного пространства (ASID) дает возможность уменьшить частоту попаданий при поисках по TLB на контекстной основе. Это определяет возможность одновременного существования нескольких процессов как в TLB, так и в кэш команд. Значение ASID хранится в регистре EntryHi и сравнивается со значением ASID каждой строки.

2.5.4 Преобразование виртуального адреса в физический в режиме TLB.

Преобразование виртуального адреса в физический начинается со сравнения виртуального адреса на выходе процессора с виртуальными адресами, хранящимися в TLB. Соответствие имеет место, если виртуальный номер страницы (VPN) адреса совпадает с полем VPN строки TLB с учетом маски, хранящейся в этой строке, а также выполняется одно из двух условий:

- Установлен бит глобальности (G) для четных и нечетных страниц в строке TLB
- Поле ASID виртуального адреса совпадает с полем ASID строки TLB.

Это соответствие называется попаданием TLB. Если не имеется ни одного соответствия, возникает исключение промаха TLB и программному обеспечению дается возможность пополнить TLB из расположенной в памяти таблицы страниц виртуальных /физических адресов. На Рисунок 2.13 показана логика преобразования виртуального адреса в физический.

На этом рисунке виртуальный адрес расширяется 8-разрядным идентификатором адресного пространства (ASID), который уменьшает частоту попаданий при просмотрах TLB на контекстной основе. Это 8-разрядное поле ASID содержит номер, присвоенный процессу, и хранится в регистре EntryHi CP0.

1. Виртуальный адрес (VA), представленный виртуальным номером страницы (VPN), сравнивается с тэгом из строки TLB (VPN2) с учетом маски (PageMask).
2. Если имеется соответствие, номер страничного кадра (PFN0 или PFN1, в зависимости от значения бита четности – самого старшего бита, не участвующего в сравнении) извлекается и помещается в старшие разряды физического адреса (PA)
3. В младшие разряды физического адреса помещается смещение (Offset), не участвующее в сравнении.

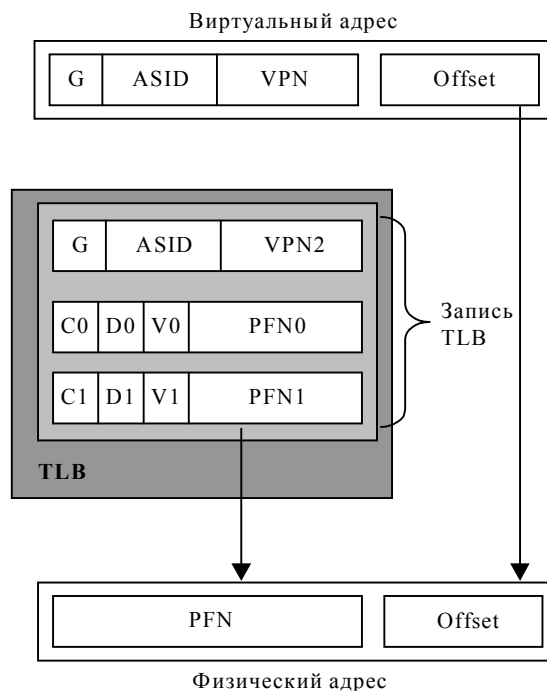


Рисунок 2.13

Когда происходит совпадение виртуальных адресов при поиске по TLB, физический номер кадра (PFN) извлекается из соответствующей физической порции строки TLB и дополняется смещением, взятым из виртуального адреса, формируя, таким образом,

физический адрес. Смещение представляет собой адрес в пределах пространства страничного кадра. Как показано на рисунке, смещение не пропускается через TLB.

На Рисунок 2.14 показана блок-схема процесса преобразования адреса. В верхней части рисунка показан виртуальный адрес для страницы размером 4 Кбайт. Ширина поля смещения определяется размером страницы.

В нижней части рисунка показан виртуальный адрес для страницы размером 16 Мбайт.

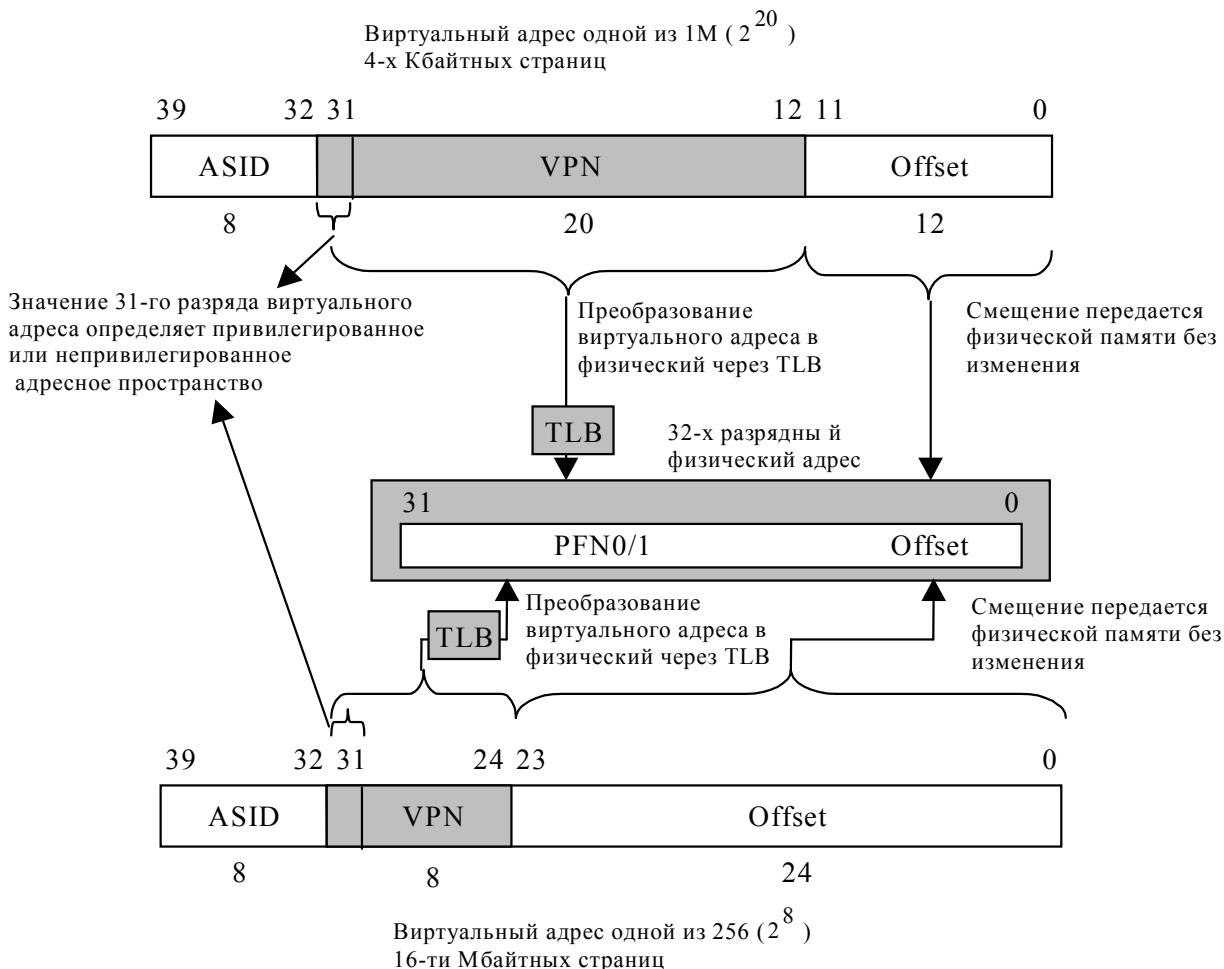


Рисунок 2.14

2.5.4.1 Попадания (*hits*), промахи (*misses*), и множественные попадания (*multiple matches*)

Каждая строка TLB содержит тэг и два поля данных. Если найдено соответствие, старшие разряды виртуального адреса заменяются физическим номером кадра (PFN), хранящимся в соответствующей строке массива данных TLB. Способ разбиения памяти при отображении определяется в терминах TLB-страниц. TLB поддерживает страницы различных размеров в пределах от 4 КБ до 16 МБ с шагом по степеням 4. Если соответствие найдено, но строка является недействительной или запрещенной (т.е., бит V в поле данных равен 0), вырабатывается исключение TLB Invalid.

Если соответствие не найдено, возникает исключение TLB Refill, и программное обеспечение пополняет TLB из таблицы страниц, находящейся в памяти. На Рисунок 2.15 показан алгоритм преобразования и условия возникновения исключений TLB.

Программное обеспечение может делать записи в конкретные строки TLB или использовать аппаратный механизм записи в случайно выбранные строки. Регистр Random определяет, в какую строку будет сделана запись командой TLBWR. Этот регистр декрементируется на каждом такте продвижения конвейера, возвращаясь к максимальному значению после достижения величины, равной значению регистра Wired. Таким образом, строки TLB, чей номер меньше значения регистра Wired, не затрагиваются командой TLBWR, что позволяет зарезервировать TLB-отображения первостепенной важности.

В режиме TLB также реализован механизм сравнения при записи с целью предотвращения возникновения нескольких соответствий (множественных попаданий). Работает он следующим образом. При выполнении операции записи в TLB, поле VPN2 сравнивается с одноименными полями всех строк TLB. Если будет найдено соответствие, возникнет аппаратно обрабатываемое исключение, которое установит бит TS регистра Status CP0 и прервет эту операцию. Подробно исключения описаны в п. 2.6. В каждой строке TLB имеется скрытый бит, обнуляемый при аппаратном сбросе. Устанавливается этот бит при записи в данную строку, разрешая просмотр этой строки при поисках соответствий. Поэтому непроинициализированные строки не вызывают неадекватные преобразования адресов.

Замечание: этот скрытый бит инициализации приводит все строки TLB к инвалидному состоянию после аппаратного сброса, что делает ненужной процедуру очистки (flush) TLB. Но для совместимости с другими MIPS – процессорами рекомендуется заполнять значения тэгов уникальными величинами и обнулять бит валидности (V).

Очистить строку TLB (вывести ее из рассмотрения при поиске) можно, записав в нее значение с неотображаемым через TLB адресом.

Смена размера маски или других переменных строки TLB не приводит к исключению, если она не вводит в противоречие с данной строки другими строками. Например, увеличение размера страницы расширением маски в одной строке TLB может привести к перекрытию данной строки с другими строками TLB.

2.5.4.2 Размеры страниц и алгоритм замещения

Для управления общим количеством отображаемого адресного пространства и характеристиками замещения в различных областях памяти ядро обеспечивает два механизма. Первый заключается в том, что размер страницы может быть задан относительно каждой строки TLB, что позволяет отображать страницы размером от 4 Кбайт до 16 Мбайт (по степеням 4). В регистр Page Mask CP0 загружается требуемый размер страницы, который при выполнении операции записи попадает в очередную строку TLB. Таким образом, операционная система может задавать отображения особых назначений. Например, характерный кадровый буфер (frame buffer) может быть отображен на память всего одной строкой TLB.

Второй механизм управляет механизмом замещения, когда возникает промах при просмотре TLB. Для выбора строки TLB, в которую будет записано новое отображение, в процессорном ядре предусмотрен алгоритм случайного замещения. Но существует также способ программно предотвратить случайное замещение зарезервированных отображений, количество которых определяется значением регистра Wired CP0. (см. также п 2.7.3.5).

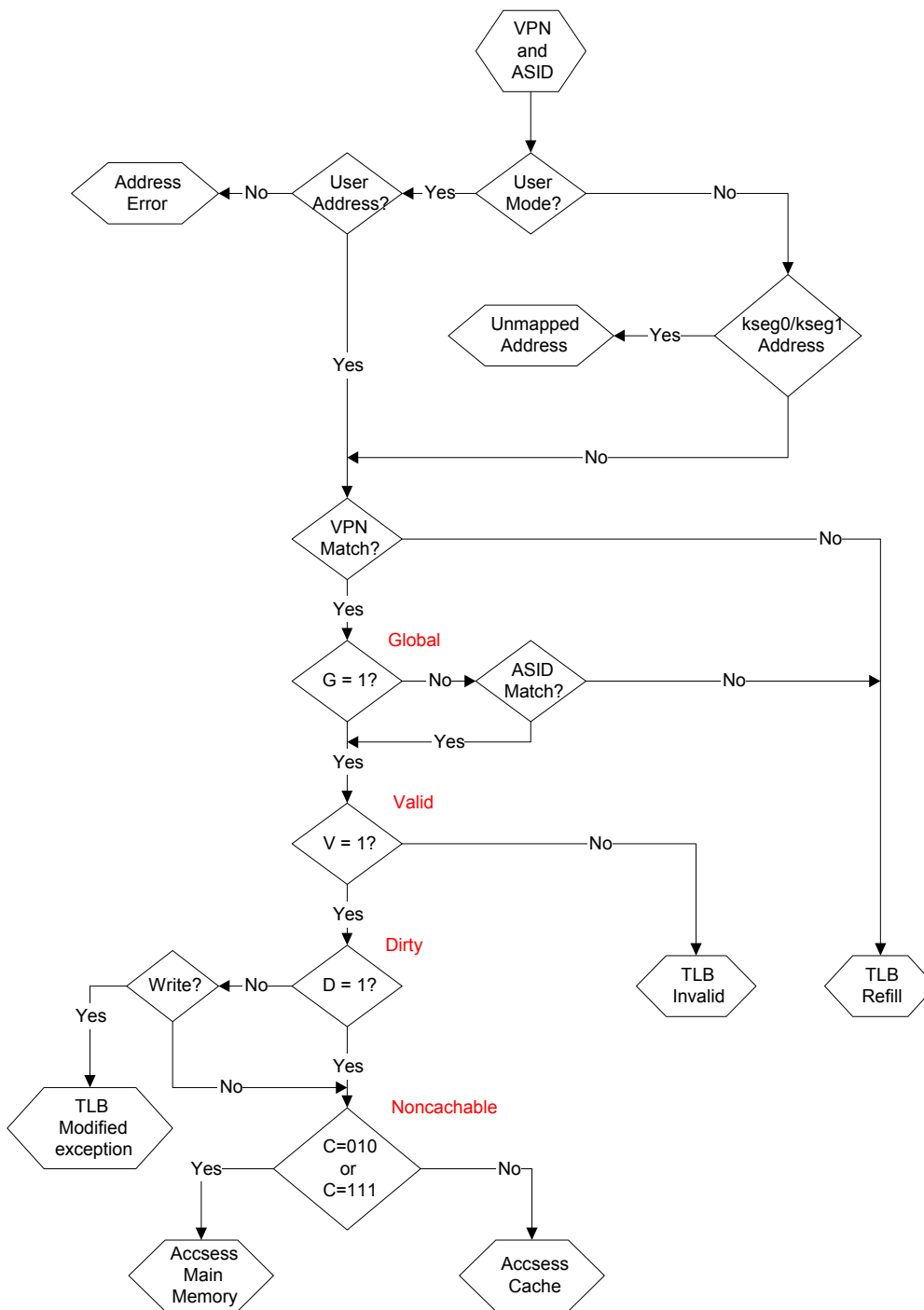


Рисунок 2.15. Алгоритм преобразования адреса через TLB.

2.6 Исключения

Процессорное ядро способно принимать исключения от ряда источников, в том числе промах буфера преобразования адресов (TLB), арифметическое переполнение, прерывание ввода-вывода, и системные вызовы. Обнаружив одно из этих исключений, CPU приостанавливает нормальную последовательность исполнения команд, и процессор входит в режим Kernel.

В режиме Kernel ядро отключает прерывания и вынуждает процессор запустить программу обработчика исключений, расположенную в фиксированных адресах памяти. Обработчик сохраняет контекст процессора – содержимое счетчика команд, текущий режим процессора и статус разрешения прерываний. Таким образом, контекст может быть восстановлен по завершению обработки исключения.

При возникновении исключения в регистр Exception Program Counter (EPC) загружается адрес, начиная с которого исполнение команд может возобновиться после завершения обработки исключения. В регистр EPC помещается адрес команды, вызвавшей исключение или, если команда находилась в слоте задержки перехода, адрес команды перехода, предшествующей слоту задержки. Чтобы различить эти ситуации, программное обеспечение должно проанализировать бит BD (branch delay) в регистре Cause CP0

2.6.1 Условия исключений

Исключения обрабатываются на стадии M конвейера. Когда исключительная ситуация обнаруживается, команда, находящаяся на стадии M, и все команды, следующие за ней на конвейере, отменяются. Соответственно, все условия остановки конвейера, относящиеся к этой команде, а также условия последующих исключений, которые также могут относиться к ней, игнорируются, поскольку обслуживание приостановок для отмененной команды не приносит выигрыша.

Когда условие исключения обнаруживается на стадии M, процессор заполняет необходимые регистры CP0 значениями, относящимися к состоянию исключения, изменяет счетчик команд (PC) на адрес соответствующего вектора обработки исключения и очищает признаки исключения, относящиеся к более ранним стадиям конвейера.

Такая реализация позволяет завершить исполнение команды, находящейся на стадии W, и запретить завершение последующих команд. Таким образом, значения, сохраненного в регистре EPC (в случае ошибок – в Error PC), достаточно для возобновления исполнения. Это также обеспечивает поступление исключений в соответствии с порядком исполнения команд – команда, вызывающая исключение, может быть уничтожена командой с более поздней стадии конвейера, также вызвавшей исключение.

2.6.2 Приоритеты исключений

В Таблица 2.4 перечислены все возможные исключения со своими относительными приоритетами, от высшего к низшему. Некоторые из этих исключений могут случаться одновременно, в этом случае вызывается исключение с наивысшим приоритетом.

Таблица 2.4

Исключение	Описание
Reset	Аппаратный сброс
NMI	Внешнее немаскируемое прерывание и прерывание от таймера WDT (см. табл. 7.2).
TLB_Ri, TLB_Ii	Промах TLB при выборке команды, Попадание в инвалидную страницу TLB (V=0) при выборке команды
AdELi	Ошибка выравнивания адреса при выборке команды; Ссылка на адрес режима Kernel при работе в режиме User при выборке команды
MCheck	Запись в TLB, создающая конфликт с существующей строкой TLB
Sys	Выполнение команды SYSCALL
Bp	Выполнение команды BREAK
SpU	Выполнение команды сопроцессора в режиме User
RI	Выполнение зарезервированной команды
Ov	Переполнение в арифметической команде
Tr	Выполнение trap (когда условие trap истинно)
AdELd	Ошибка выравнивания адреса при загрузке данных; Ссылка на адрес режима Kernel при работе в режиме User при загрузке данных
AdES	Ошибка выравнивания адреса при сохранении данных; Попытка сохранения по адресу Kernel в режиме User
TLB_Rd, TLB_Id	Промах TLB при загрузке данных; Попадание в инвалидную страницу TLB (V=0) при загрузке данных
TLB_M	Сохранение в TLB-странице с D=0
Interrupt	Установка немаскированных HW или SW - прерываний

2.6.3 Расположение векторов исключений

Векторы исключений аппаратного сброса и NMI всегда находятся по адресу 0xBFC_0000. Адреса всех других исключений являются комбинациями векторных смещений и базового адреса. В Таблица 2.5 приведены базовые адреса как функции исключения и состояния бита BEV Регистра Status. В Таблица 2.6 приведены смещения от базового адреса как функции исключения. В Таблица 2.7 эти две таблицы сведены в одну таблицу, содержащую все возможные адреса векторов исключений как функции состояний, влияющих на выбор этих векторов.

Таблица 2.5.

Исключение	Status _{BEV}	
	0	1
Reset, NMI	0xBFC0_0000	
Остальные исключения	0x8000_0000	0xBFC0_0200

Таблица 2.6. Базовые адреса векторов исключений

Исключение	Смещение вектора
TLB Refill, EXL = 0	0x000
Reset, NMI	0x000
Исключения общего характера (General Exeptions)	0x180
Interrupt, Cause _{IV} = 1	0x200

Таблица 2.7. Векторы исключений

Исключение	BEV	EXL	IV	Вектор
Reset, NMI	-	-	-	0xBFC0_0000
TLB Refill	0	0	-	0x8000_0000
TLB Refill	0	1	-	0x8000_0180
TLB Refill	1	0	-	0xBFC0_0200
TLB Refill	1	1	-	0xBFC0_0380
Interrupt	0	0	0	0x8000_0180
Interrupt	0	0	1	0x8000_0200
Interrupt	1	0	0	0xBFC0_0380
Interrupt	1	0	1	0xBFC0_0400
Остальные	0	-	-	0x8000_0180
Остальные	1	-	-	0xBFC0_0380

2.6.4 Обработка общих исключений

Кроме исключений аппаратного сброса и NMI, которые обслуживаются особым образом, обработка всех остальных исключений происходит в соответствии со следующим основным маршрутом:

- Если бит EXL Регистра Состояния (Status) очищен, в регистр EPC загружается значение PC, по которому выполнение программы будет перезапущено, и при необходимости устанавливается бит BD в Регистре Причины (Cause). Если команда не находится в слоте задержки перехода, бит BD в Регистре Причины будет очищен, а в регистр EPC загружается значение, соответствующее текущему PC. Если же команда находится в слоте задержки перехода, бит BD в Регистре Причины устанавливается в “1”, и в EPC загружается значение, равное PC - 4. Если бит EXL в Регистре Состояния установлен, в регистр EPC ничего не загружается, и бит BD в Регистре Причины не модифицируется.
- В поля CE и ExcCode Регистра Причины загружаются значения, соответствующие исключению.
- Устанавливается бит EXL в Регистре Состояния (Status).
- Процессор стартует с вектора исключения.

Значение, загруженное в EPC, представляет собой адрес возврата из исключения и в обычной ситуации программе обработки исключения не требуется его модифицировать. Программе также не нужно просматривать бит BD в Регистре Причины, если не возникает потребность определить действительный адрес команды, вызвавшей исключение.

Operation:

```

if StatusEXL == 0 then
  if InstructionInBranchDelaySlot then
    EPC <= PC - 4
    CauseBD <= 1
  else
    EPC <= PC
    CauseBD <= 0
  endif
  if (ExceptionType == TLBRefill) then
    vectorOffset <= 0x000
  elseif (ExceptionType == Interrupt) and
    
```

```

(CauseIV == 1) then
vectorOffset <= 0x200
else
vectorOffset <= 0x180
endif
else
vectorOffset <= 0x180
endif
CauseCE <= FaultingCoprocesorNumber
CauseExcCode <= ExceptionType
StatusEXL <= 1
if (StatusBEV == 1) then
PC <= 0xBFC0_0200 + vectorOffset
else
PC <= 0x8000_0000 + vectorOffset
endif
    
```

2.6.5 Исключения

В следующих разделах описаны все исключения в порядке, соответствующем табл. 2.4.

2.6.5.1 Исключение по аппаратному сбросу (*Reset Exception*)

Это немаскируемое исключение, которое происходит при установке сигнала аппаратного сброса. Когда возникает исключение аппаратного сброса, процессор выполняет полную начальную инициализацию, то есть приводит автоматы к начальному состоянию и переводит процессор в состояние, из которого он может начать запуск команд, находящихся в неэкэшируемой и неотображаемой области. После возникновения исключения аппаратного сброса состояние процессора не определено, за исключением следующего:

- Регистр Random устанавливается в значение, равное количеству строк TLB - 1.
- Регистр Wired устанавливается в 0.
- Регистр Config устанавливается в свое начальное состояние (boot state).
- Поля BEV, TS, NMI и ERL Регистра Status устанавливаются в заданные значения.
- В PC загружается значение 0xBFC0_0000 (виртуальный адрес).

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

```

Random <= TLBEntries - 1
Wired <= 0
Config <= ConfigurationState
StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 0
StatusERL <= 1
PC <= 0xBFC0_0000
    
```

2.6.5.2 Исключение по немаскируемому прерыванию (*Non Maskable Interrupt – NMI Exception*)

Немаскируемое прерывание возникает по положительному фронту входного сигнала NMI или при срабатывании сторожевого таймера WDT. Исключение NMI происходит только в пределах границ команды, поэтому оно не вызывает сброса или другую переинициализацию аппаратных средств. Состояние кэш, памяти, а также другие состояния процессора остаются неизменными. Значения регистров также сохраняются за исключением следующего:

- Поля BEV, TS, NMI и ERL регистра Status принимают заданные значения.
- В регистр ErrorEPC загружается значение PC - 4, если прерывание произошло на фоне команды в слоте задержки перехода. В противном случае в регистр ErrorEPC загружается значение PC.
- В PC загружается значение 0xBFC0_0000.

Вектор исключения:

Reset (0xBFC0_0000)

Operation:

```

StatusBEV <= 1
StatusTS <= 0
StatusNMI <= 1

StatusERL <= 1
if InstructionInBranchDelaySlot then
    ErrorEPC <= PC - 4
else
    ErrorEPC <= PC
endif
PC <= 0xBFC0_0000
    
```

2.6.5.3 Исключение по обновлению TLB — выборка команды или доступ к данным (*TLB Refill Exception – Instruction Fetch or Data Access*)

Исключение TLB Refill происходит во время выборки команды или доступа к данным, если в TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 0.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.8

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Вектор TLB Refill (смещение 0x000)

2.6.5.4 Исключение по инвалидности TLB — выборка команды или доступ к данным (TLB Invalid Exception – Instruction Fetch or Data Access)

Исключение TLB Invalid происходит во время выборки команды или доступа к данным в одном из следующих случаев:

- В TLB нет ни одной строки, соответствующей ссылке к отображенному адресному пространству, и бит EXL в регистре Status равен 1.
- Строка TLB соответствует ссылке к отображенному адресу, но ее бит валидности выключен.

Значение поля ExcCode регистра Cause:

TLBL: Произошла ссылка по загрузке данных или выборке команды

TLBS: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.9

Состояние регистра	Значение
BadVAddr	ошибочный адрес
Context	поле BadVPN2 содержит VA _{31:13} ошибочного адреса
EntryHi	поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.5 Исключение по ошибке адресации— выборка команды / доступ к данным (Address Error Exception – Instruction Fetch / Data Access)

Исключение по ошибке адресации во время доступа к команде или данным возникает при попытке выполнить одно из следующих действий:

- Выбрать команду, загрузить или сохранить слово данных, если они не выравнены в границах слова
- Загрузить или сохранить половину слова, если оно не выравнено в границах полуслова
- Обратиться по адресу пространства Kernel при работе в режиме User

Значение поля ExcCode регистра Cause:

ADEL: Произошла ссылка по загрузке данных или выборке команды

ADES: Произошла ссылка по сохранению данных

Дополнительно сохраняемые состояния:

Таблица 2.10

Состояние регистра	Значение
BadVAddr	ошибочный адрес

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.6 Исключение по аппаратному контролю (Mcheck – Machine Check Exception)

Данное исключение возникает, если при выполнении команды записи в TLB (TLBWI или TLBWR) обнаруживается, что поле виртуального адреса записываемой строки соответствует такому же полю одной из строк, уже хранящихся в TLB.

При возникновении данной ситуации запись в TLB не выполняется и устанавливается бит TS в регистре Status. Этот бит является статусным и не влияет на функционирование процессорного ядра. Сбрасывается он программно после разрешения данной ситуации, осуществляемого очисткой конфликтных строк в TLB.

Значение поля ExcCode регистра Cause:

Mcheck

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.7 Исключение исполнения – системный вызов (System Call Exception)

Исключение System Call является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение System Call возникает при исполнении команды SYSCALL.

Значение поля ExcCode регистра Cause:

Sys

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.8 Исключение исполнения — Breakpoint (Execution Exception – Breakpoint)

Исключение Breakpoint является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Breakpoint возникает при исполнении команды BREAK.

Значение поля ExcCode регистра Cause:

Bp

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.9 Исключение исполнения — зарезервированная команда (*Execution Exception – Reserved Instruction*)

Исключение зарезервированной команды является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение зарезервированной команды вызывается при исполнении команды с неопределенным старшим кодом операции (major opcode) или полем функции.

Значение поля ExcCode регистра Cause:

RI

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.10 Исключение исполнения — недоступен сопроцессор (*Execution Exception – Coprocessor Unusable*)

Исключение недоступности сопроцессора является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение недоступности сопроцессора вызывается при попытке исполнения команды сопроцессора CP0 в режиме User, если сопроцессор не был заказан для использования.

Значение поля ExcCode регистра Cause:

SpU

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.11 Исключение исполнения — целочисленное переполнение (*Execution Exception – Integer Overflow*)

Исключение целочисленного переполнения является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение целочисленного переполнения вызывается, когда выбранные целочисленные команды приводят к переполнению в двоичном коде.

Значение поля ExcCode регистра Cause:

Ov

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.12 Исключение исполнения — Trap (Execution Exception – Trap)

Исключение Trap является одним из шести исключений исполнения. Все такие исключения имеют одинаковый приоритет. Исключение Trap вызывается, если условие команды trap истинно (TRUE).

Значение поля ExcCode регистра Cause:

Tr

Дополнительно сохраняемые состояния:

Нет

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.13 Исключение сохранения в запрещенной области (TLB Modified Exception)

Это исключение возникает при обращении по записи данных к отображенному адресу, если выполняется следующее условие:

- Найденная строка TLB действительна, но страница запрещена для записи.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 2.11

Состояние регистра	Значение
BadVAddr	Ошибочный адрес
Context	Поля BadVPN2 содержат VA _{31:13} ошибочного адреса
EntryHi	Поле VPN2 содержит VA _{31:13} ошибочного адреса; поле ASID содержит ASID отсутствующей ссылки

Вектор исключения:

Общий Вектор исключения (смещение 0x180)

2.6.5.14 Исключение прерывания (Interrupt Exception)

Исключение прерывания возникает, когда сигнал одного или более разрешенных регистром Status прерываний устанавливается на входе процессора.

Значение поля ExcCode регистра Cause:

Mod

Дополнительно сохраняемые состояния:

Таблица 2.12

Состояние регистра	Значение
Cause _{IP}	Указывает код прерывания

Вектор исключения:

Общий Вектор исключения (смещение 0x180), если бит IV регистра Cause равен 0;

Вектор прерывания (смещение 0x200), если бит IV регистра Cause равен 1.

2.6.6 Алгоритмы обработки исключений

В этом разделе приведены алгоритмы обработки следующих исключений:

- Общие исключения;
- Исключения пропуска при поиске по TLB;
- Исключения Reset и NMI;

Исключения аппаратно обрабатываются, а затем программно обслуживаются.

Алгоритмы обработки исключений приведены на Рисунок 2.16, Рисунок 2.17, Рисунок 2.18.

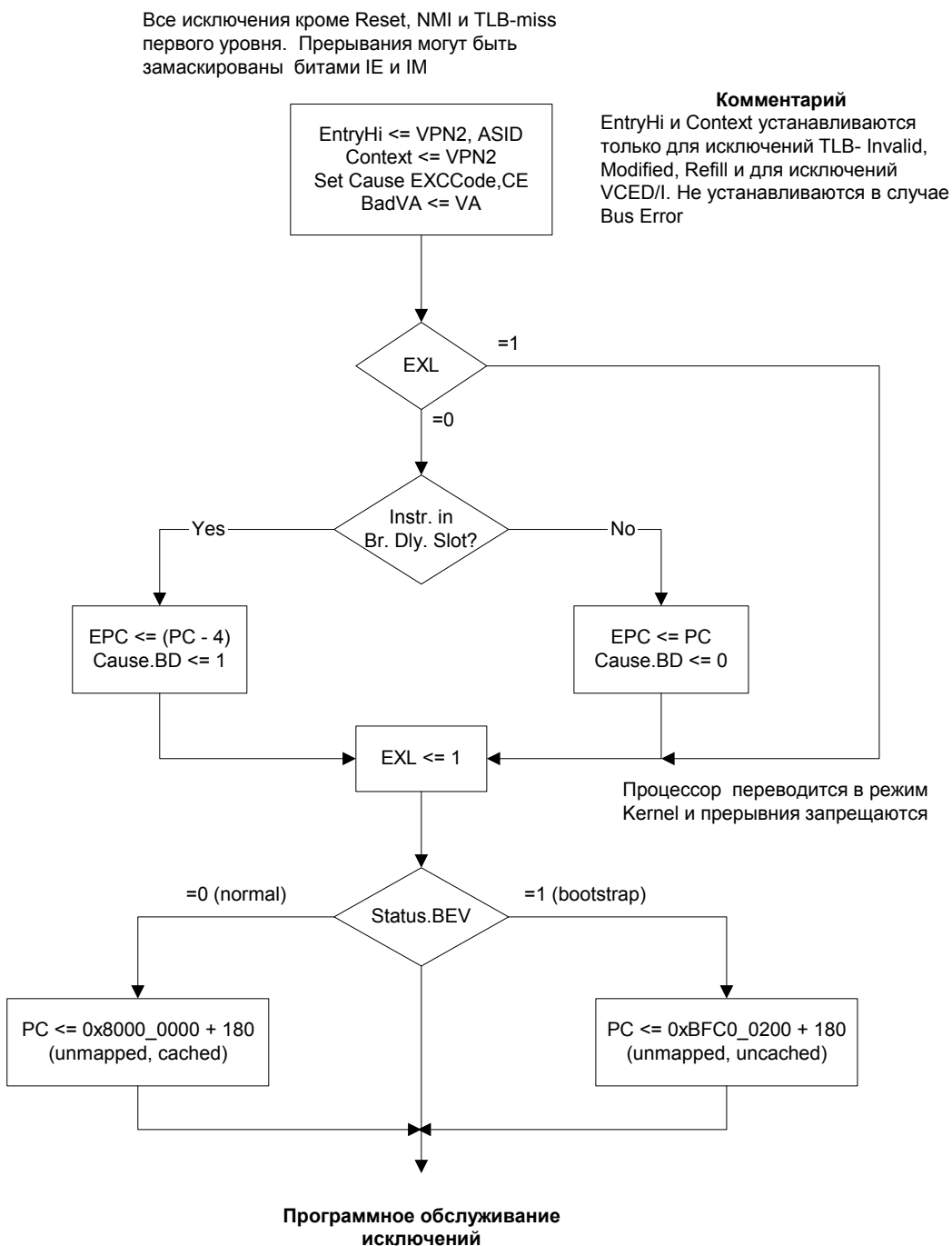


Рисунок 2.16 Обработка общих исключений

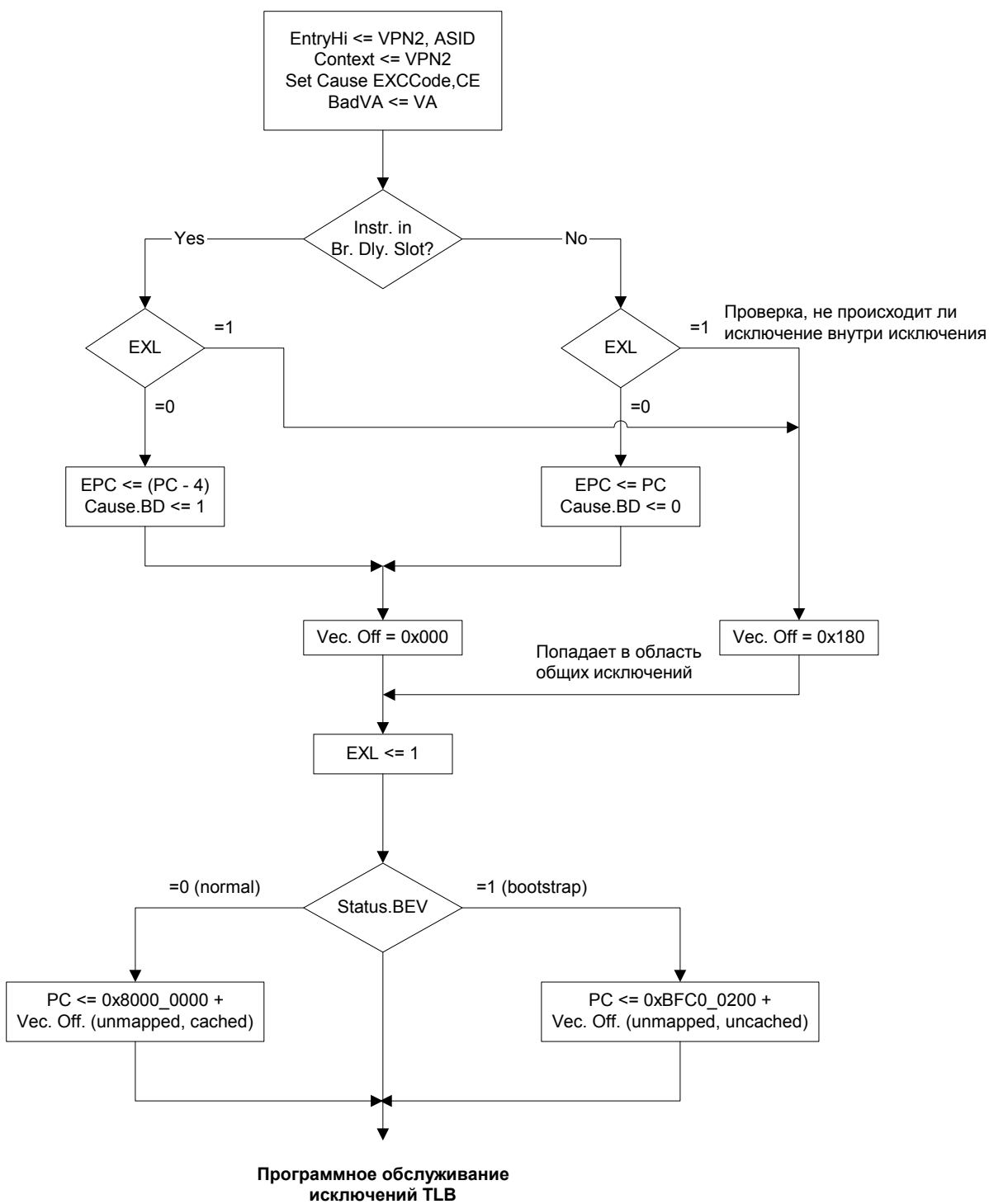


Рисунок 2.17 Обработка исключений TLB Refill и TLB Invalid

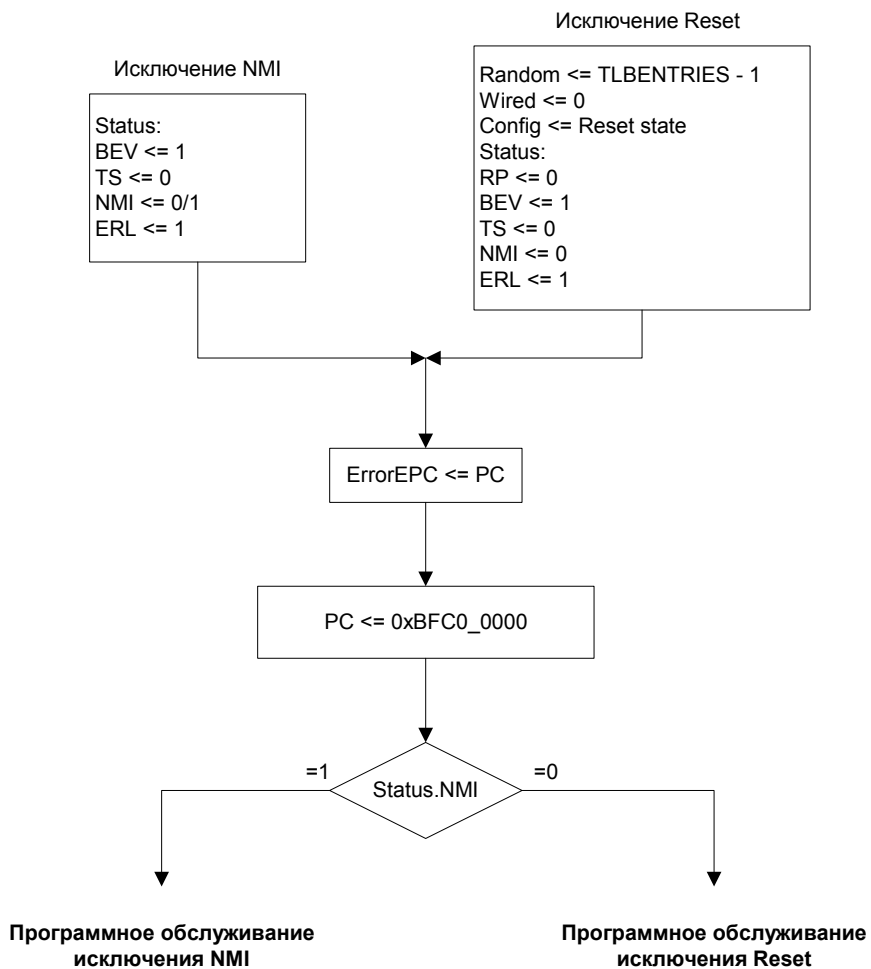


Рисунок 2.18. Обработка исключений Reset и NMI

2.7 Регистры CP0

2.7.1 Назначение

Системный Управляющий Сопроцессор (CP0) обеспечивает регистровый интерфейс с процессорным ядром MIPS32 и поддерживает управление памятью, преобразование адреса, обработку исключений и другие привилегированные операции. Каждому регистру CP0 соответствует определяющий его уникальный номер; этот номер называется *номером регистра*. Например, регистру PageMask соответствует 5-й номер регистра.

После записи нового значения в регистр CP0 (с помощью команды MTC0), его обновление происходит не сразу, а по прошествии периода от 0 и более команд. Этот период называется периодом особой ситуации (см. раздел 2.6).

2.7.2 Обзор регистров CP0

В Таблица 2.13 приведены все регистры CP0 в порядке возрастания нумерации. В разделе 5.3 каждый из этих регистров описан отдельно.

Таблица 2.13. Регистры CP0

Номер регистра	Название регистра	Функция
0	Index ¹	Индекс матрицы TLB (режим TLB)
1	Random ¹	Случайным образом сгенерированный индекс для буфера TLB (режим TLB)
2	EntryLo0 ¹	Младшая часть строки TLB для виртуальных страниц с четными номерами (режим TLB)
3	EntryLo1 ¹	Младшая часть строки TLB для виртуальных страниц с нечетными номерами (режим TLB)
4	Context ²	Указатель на строку в таблице страниц памяти (режим TLB)
5	PageMask ¹	Управление переменным размером страниц строк TLB (режим TLB)
6	Wired ¹	Управление количеством закрепленных “привязанных” строк TLB (режим TLB)
7	Reserved	Резерв
8	BadVAddr ²	Содержит адрес, вызвавший последнее связанное с адресацией исключение
9	Count ²	Счетчик процессорных циклов
10	EntryHi ¹	Старшая часть строки TLB (режим TLB)
11	Compare ²	Управление прерыванием таймера
12	Status ²	Состояние и управление процессором
13	Cause ²	Причина последнего исключения
14	EPC ²	Значение счетчика команд во время последнего исключения
15	PRId	Идентификация и ревизия процессора
16	Config/Config1	Конфигурационный регистр
17	LLAddr	Загрузка адреса сопряжения
18-19	Не реализованы	
20-22	Reserved	Резерв
23-24	Не реализованы	
25-27	Reserved	Резерв
28-29	Не реализованы	
30	ErrorEPC ²	Значение счетчика команд при последней ошибке
31	Не реализован	

¹Регистры, используемые при управлении памятью.

²Регистры, используемые при обработке исключений.

2.7.3 Регистры CP0

Регистры CP0 обеспечивают интерфейс между системой команд (ISA) и архитектурой процессора. Каждый регистр, описанный в этом разделе, представлен своим порядковым номером и значением поля select.

Все поля описанных регистров характеризуются свойствами записи / чтения, а также значением после аппаратного сброса. Свойства записи / чтения охарактеризованы в Таблица 2.14.

Таблица 2.14

Свойства записи/чтения	Аппаратная интерпретация	Программная интерпретация
R/W	Поле, в котором все биты программно и аппаратно доступны по записи и чтению. Аппаратное обновление этого поля доступно для программы при чтении программой. Программное обновление этого поля доступно для процессора при чтении процессором. Если значение поля после сброса не определено, программа или процессор должны проинициализировать это поле, чтобы первое чтение возвратило предсказуемое значение.	
R	Поле, значение которого постоянно или обновляется только процессором. Значение поля после начальной установки восстанавливается также при включении питания. Если значение поля не определено после начальной установки, процессор обновляет его только при условиях, определенных при описании поля.	Поле, для которого значение, записанное программой, процессором игнорируется. Программное прочтение этого поля возвращает последнее обновленное процессором значение. Если значение поля не определено после начальной установки, программное прочтение этого поля возвратит непредсказуемое значение кроме тех случаев, когда произошло обновление процессором значения этого поля по возникновению условий, определенных в описании поля условий.
0	Поле, значение которого процессором не обновляется и всегда равно нулю.	Программное чтение всегда возвращает нуль.

Регистр Index (Регистр 0 CP0, Select 0).

Регистр Index является 32-х разрядным регистром, доступным для чтения и записи. Он содержит индекс доступа к TLB для команд TLBP, TLBR и TLBWI. Ширина поля индекса зависит от количества строк TLB и равна 4.

Функционирование процессора НЕОПРЕДЕЛЕНО, если в регистр Index записано значение большее или равное количеству строк TLB.

Формат регистра Index

31	30	4	3	0
P			Index	
0				

Таблица 2.15. Описание полей регистра Index

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
P	31	Неудачная проба. Устанавливается в 1, если предыдущей командой TLBProbe (TLBP) не было найдено соответствия в TLB.	R	Не определено
0	30:4	При чтении возвращается нуль	0	0
Index	3:0	Индекс строки TLB, к которой относятся команды TLBRead и TLBWrite	R/W	Не определено

2.7.3.1 Регистр Random (Регистр CP0 1, Select 0).

Регистр Random доступен только для чтения, и его значение используется как индекс TLB для команды TLBWR. Ширина поля Random определяется таким же образом, как для регистра Index.

Значение этого регистра изменяется между верхней и нижней границами следующим образом:

- Нижняя граница определяется количеством строк TLB, зарезервированных для использования операционной системой (содержимое регистра Wired). Строка, чей индекс равен значению Wired, является первой из доступных для записи командой TLB Write Random (TLBWR).
- Верхняя граница равна общему количеству строк TLB минус 1.

Регистр Random уменьшается на 1 при продвижении конвейера RISC, возвращаясь к максимальному значению по достижению величины, равной значению регистра Wired.

Процессор инициализирует регистр Random значением, равным верхней границе по возникновению исключения Reset и по записи в регистр Wired.

Формат регистра Random

31	4 3	0
0	Random	

Таблица 2.16. Описание полей регистра Random

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Random	3:0	Случайный индекс строки TLB	R	TLB Entries - 1

2.7.3.2 EntryLo0, EntryLo1 (Регистры 2 и 3 CP0, Select 0)

Пара регистров EntryLo действует как интерфейс между TLB и командами TLBR, TLBWI, TLBWR.

В режиме TLB EntryLo0 содержит строки для четных страниц TLB, а EntryLo1 – для нечетных страниц.

После ошибки адресации и возникновения исключений TLB refill, TLB invalid и TLB modified, содержимое регистров EntryLo0 и EntryLo1 не определено.

Формат регистров EntryLo0, EntryLo1

31	30 29	26 25	6 5	3 2	1 0
R	0	PFN	C	D	V G

Таблица 2.17. Описание полей регистров EntryLo0 и EntryLo1

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
R	31:30	Резервные. При чтении возвращается нуль	R	0
0	29:26	При чтении возвращается нуль	R	0
PFN	25:6	Номер страничного кадра. Соответствует битам 31:12 физического адреса.	R/W	Не определено
0	5:4	Не используются. При чтении возвращается нуль.	R	0
C	5:3	Атрибут когерентности страницы. См. табл.5.6	R/W	Не определено
D	2	“Dirty” – бит, разрешающий запись. Указывает на то, что в страницу была сделана запись, и/или страница открыта для записи. Если этот бит равен 1, разрешается сохранение в этой странице. Если он равен 0, сохранение в этой странице вызывает исключение TLB Modified.	R/W	Не определено

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
V	1	Бит валидности. Указывает, на то, что строка TLB и, соответственно, отображение виртуальной страницы, является действительным. Если этот бит равен 1, доступ к странице разрешается. Если этот бит равен 0, доступ к странице вызывает исключение TLB Invalid.	R/W	Не определено
G	0	Бит глобальности. При записи в TLB битом G в строке TLB становится логическое “И” битов G EntryLo0 и EntryLo1. Если бит G строки TLB равен 1, результат сравнения полей ASID игнорируется при поиске по TLB. При чтении строки TLB биты G EntryLo0 и EntryLo1 отражают состояние бита G TLB.	R/W	Не определено

В Таблица 2.18 приведена кодировка для поля C регистров EntryLo0 и EntryLo1 и полей K0, K23 и KU регистра Config.

Таблица 2.18. Атрибуты когерентности кэш

Значение C[5:3]	Описание
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отображаются в 3, а 7 – в 2.	

2.7.3.3 Регистр Context (Регистр 4 CP0, Select 0)

Регистр Context доступен для чтения и записи, и содержит указатель на строку в матрице PTE (page table entry). Эта матрица является структурой данных операционной системы, в которой содержатся преобразования виртуального адреса в физический. При возникновении промаха TLB, операционная система загружает в TLB недостающее преобразование из матрицы PTE. Регистр Context дублирует часть информации, содержащейся в регистре BadVAddr, но организован таким образом, что операционная система может прямо ссылаться к 8-байтной матрице PTE в памяти.

При возникновении исключения TLB (TLB Refill, TLB Invalid, или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле BadVPN2 регистра Context. Поле PTEBase записывается и используется операционной системой.

После возникновения исключения ошибки адресации значение поля BadVPN2 регистра Context не определено.

Формат регистра Context

31	23	22	4	3	0
PTEBase			BadVPN2		

Таблица 2.19. Описание полей регистра Context

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
PTEBase	31:23	Это поле используется операционной системой и обычно содержит значение, позволяющее операционной системе использовать регистр Context в качестве указателя на текущую матрицу PTE в памяти.	R/W	Не определено
BadVPN2	22:4	Это поле заполняется процессором при промахе TLB. Оно содержит биты VA _{31:13} пропущенного виртуального адреса	R	Не определено
0	3:0	При чтении возвращается нуль	0	0

2.7.3.4 Регистр PageMask (Регистр 5 CP0, Select 0)

Регистр PageMask доступен для чтения и записи, и используется для чтения TLB и записи в TLB. Он содержит маску сравнения, которая устанавливает переменную размера страниц для каждой строки TLB, как показано в Таблица 2.21. Если значение регистра отлично от значений, приведенных в таблице, поведение процессора при поиске по TLB не определено.

Формат регистра PageMask

31	25	24	13	12	0
0	Mask			0	

Таблица 2.20. Описание полей регистра PageMask

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Mask	24:13	Бит маски, содержащий “1”, указывает на то, что соответствующий бит виртуального адреса не должен принимать участие при поиске соответствия по TLB	R/W	Не определено
0	31:25, 12:0	При чтении возвращается нуль	0	0

Таблица 2.21. Таблица возможных значений поля Mask регистра PageMask.

Размер страницы	Бит											
	24	23	22	21	20	19	18	17	16	15	14	13
4 КБайт	0	0	0	0	0	0	0	0	0	0	0	0
16 КБайт	0	0	0	0	0	0	0	0	0	0	1	1
64 КБайт	0	0	0	0	0	0	0	0	1	1	1	1
256 КБайт	0	0	0	0	0	0	1	1	1	1	1	1
1 МБайт	0	0	0	0	1	1	1	1	1	1	1	1
4 МБайт	0	0	1	1	1	1	1	1	1	1	1	1
16 МБайт	1	1	1	1	1	1	1	1	1	1	1	1

2.7.3.5 Регистр Wired (Регистр 6 CP0, Select 0)

Регистр Wired доступен для чтения и записи. Этот регистр определяет границу между случайными и “привязанными” строками TLB, как показано на Рисунок 2.19. Ширина поля Wired определяется так же, как для описанного выше регистра Index. “Привязанные” строки зафиксированы, то есть они не являются удаляемыми и не могут быть перезаписаны командой TLBWR. Эти строки могут быть перезаписаны только командой TLBWI.

Регистр Wired устанавливается в нулевое состояние исключением по аппаратному сбросу (Reset). Запись в регистр Wired вызывает установку регистра Random в значение, равное его верхней границе.

Если значение, записанное в регистр Wired, больше или равно числу строк TLB, операция процессора не определена.

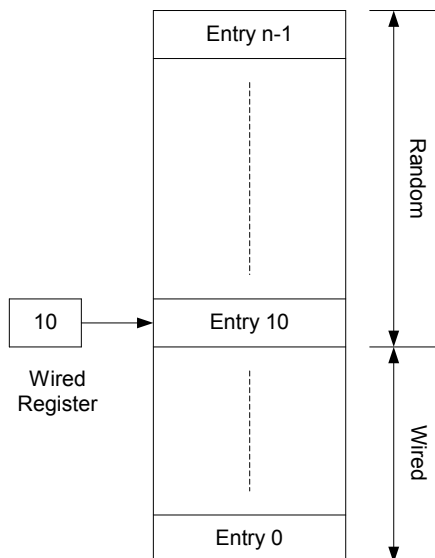


Рисунок 2.19. “Привязанные” и случайные строки TLB

Формат регистра Wired

31	4	3	0
0			Wired

Таблица 2.22. Описание полей регистра Wired

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
0	31:4	При чтении возвращается нуль	0	0
Wired	3:0	Граница между “привязанными” и случайны- ми строками TLB.	R/W	0

2.7.3.6 Регистр BadVAddr (Регистр 8 CP0, Select 0)

Регистр BadVAddr доступен только для чтения и содержит последний виртуальный адрес, вызвавший одно из следующих исключений:

- Ошибка адреса (AdEL или AdES)
- TLB Refill
- TLB Invalid
- TLB Modified

Формат регистра BadVAddr

31	0
BadVAddr	

Таблица 2.23. Описание полей регистра BadVAddr

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
BadVAddr	31:0	Виртуальный адрес исключения	R	Не определено

2.7.3.7 Регистр Count (Регистр 9 CP0, Select 0)

Регистр Count действует как таймер, увеличивающий свое значение каждый такт.

Регистр Count может быть записан в функциональных или диагностических целях, включая установку или синхронизацию процессора.

Формат регистра Count

31	0
Count	

Таблица 2.24. Описание полей регистра Count

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
Count	31:0	Счетчик	R/W	Не определено

2.7.3.8 Регистр EntryHi (Регистр 10 CP0, Select 0)

Регистр EntryHi содержит информацию соответствия виртуального адреса, используемого при чтении, записи и операциях доступа к TLB.

При возникновении исключений TLB (TLB Refill, TLB Invalid или TLB Modified) биты VA_{31:13} виртуального адреса записываются в поле VPN2 регистра EntryHi. В поле ASID, которое используется в процессе сравнения при поиске по TLB, программно записывается идентификатор текущего адресного пространства.

Поле VPN2 регистра EntryHi не определено после прерывания по ошибке адресации.

Формат регистра EntryHi

31	VPN2	0	0
ASID			

Таблица 2.25. Описание полей регистра EntryHi

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
VPN2	31:13	Разряды VA _{31:0} виртуального адреса (виртуальный номер страницы, деленный на 2). Это поле записывается аппаратно при исключении TLB или при чтении TLB, и программно перед записью в TLB.	R/W	Не определено
0	12:8	При чтении возвращается нуль	0	0
ASID	7:0	Идентификатор адресного пространства. Это поле записывается аппаратно при чтении TLB, и программно при установке текущего значения ASID для записи в TLB и для сравнения при поиске по TLB с соответствующими полями ASID в строках TLB.	R/W	Не определено

2.7.3.9 Регистр Compare (Регистр 11 CP0, Select 0)

Регистр Compare действует совместно с регистром Count с целью реализации функции таймера и прерывания по таймеру. Прерывание по таймеру является выходным сигналом процессора.

Результат сравнения регистров Count и Compare заведен на 19 разряд регистра QSTR. Когда значение регистра Count равняется значению регистра Compare, этот бит имеет единичное состояние. Он остается в этом состоянии, пока в регистр Compare не будет произведена запись.

Для диагностических целей регистр Compare доступен для чтения и записи. Однако при нормальном функционировании регистр Compare используется только для записи. При записи значения в регистр Compare в качестве побочного эффекта происходит очистка прерывания по таймеру.

Формат регистра Compare

31	0
Compare	

Таблица 2.26. Описание полей регистра Compare

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
Compare	31:0	Период счета таймера	R/W	Не определено

2.7.3.10 Регистр Status (Регистр 12 CP0, Select 0)

Регистр Status является регистром, доступным для чтения и записи. Он содержит поля рабочего режима, разрешения прерываний и диагностические состояния процессора. Для задания режимов функционирования процессора, поля этого регистра объединяются следующим образом:

Разрешение прерываний: Прерывания разрешаются, когда истинны все следующие условия:

- IE = 1
- EXL = 0
- ERL = 0

Если эти условия выполнены, прерывания разрешаются установкой битов IM.

Рабочие режимы: Процессор всегда находится в одном из двух режимов – Kernel или User. Режим задается установкой следующих битов регистра Status CPU.

- Режим User: UM = 1, EXL = 0, and ERL = 0
- Режим Kernel: UM = 0 или EXL = 1 или ERL = 1

Формат Status регистра

31	28	27	26	23	22	21	20	19	18	16	15	8	7	5	4	3	2	1	0
CU3-CU0	0	0	0	BEV	TS	0	0	NMI	0	0	IM7-IM0	0	0	UM	0	0	ERL	EXL	IE

Таблица 2.27. Описание полей регистра Status

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
CU3-CU0	31:28	Управление доступом к сопроцессорам 3, 2, 1 и 0 соответственно: 0 – доступ запрещен; 1 – доступ разрешен. Сопроцессор 0 всегда доступен в режиме kernel в не зависимости от состояния бита CU0. Сопроцессоров 1,2 и 3 в CPU нет. Обращение к ним запрещено, так как это приведет к непредсказуемой ситуации	R/W	Не определено
-	27:23	При чтении возвращается нуль	0	0
BEV	22	Управление размещением векторов исключения: 0: Нормальный 1: Начальная загрузка	R/W	1
TS	21	TLB-закрытие системы. Этот бит устанавливается, если при выполнении команд TLBWI или TLBWR образуется команда, которая приводит к условию закрытия, если оно разрешено. Программа может записывать в этот разряд только 0 чтобы очистить его, и не может вызвать переход этого бита из 0 в 1.	R/W	0
NMI	19	Указывает, что вход в вектор исключения начальной установки был осуществлен по причине возникновения NMI. 0: Не NMI (Аппаратный сброс) 1: NMI Программное обеспечение может записывать в этот бит только 0, чтобы очистить его, и не может записать 1.	R/W	1 для NMI, иначе 0
-	18:16	При чтении возвращается нуль	0	0
IM[7:0]	15:8	Маска прерываний: управление разрешением внешних, внутренних и программных прерываний. Прерывание принимается в случае, если установлен бит IE регистра Status и установлены соответствующие биты как в поле IM[7:0] регистра Status, так и в поле IP[7:0] регистра Cause. 0: Запрос на прерывание не разрешен. 1: Запрос на прерывание разрешен.	R/W	Не определено
-	7:5	При чтении возвращается нуль	0	0
UM	4	Указывает на то, что процессор работает в непривилегированном режиме (User): 0: Процессор работает в привилегированном режиме (Kernel) 1: Процессор работает в непривилегированном режиме (User) Замечание: процессор может также находиться в режиме Kernel, если установлены биты EXL или ERL. Это условие не влияет на состояние бита UM.	R/W	Не определено

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
-	3	При чтении возвращается нуль	0	0
ERL	2	Уровень ошибки. Устанавливается процессором при возникновении исключений Reset и NMI. 0: Нормальный уровень 1: Уровень ошибки Когда бит ERL установлен: Процессор находится в режиме Kernel. Прерывания запрещены. Команда ERET использует адрес возврата, содержащийся в EregEPC вместо EPC. kuseg используется как неотображаемая и некэшируемая область. Это позволяет иметь доступ к главной памяти при ошибках кэш. Поведение процессора не определено если бит ERL установлен при выполнении кода из useg/kuseg.	R/W	1
EXL	1	Уровень Исключения. Устанавливается процессором при возникновении любого исключения, кроме Reset и NMI. 0: Нормальный уровень 1: Уровень исключения Когда бит EXL установлен: Процессор переходит в привилегированный режим (Kernel). Прерывания запрещены. Исключения TLB Refill используют общий вектор исключения вместо вектора TLB Refill. Если происходит другое исключение, EPC не модифицируется.	R/W	Не определено
IE	0	Разрешение прерывания. 0: Отключает прерывания 1: Разрешает прерываниям	R/W	Не определено

2.7.3.11 Регистр Cause (Регистр 13 CP0, Select 0)

Регистр Cause, в основном, описывает причину последнего исключения. Кроме того, поля регистра управляют запросами на программные прерывания и определяют вектор, которым обрабатываются прерывания. Все поля регистра Cause, за исключением IP[1:0], IV и WP, доступны только для чтения.

Формат регистра Cause

31	30	24	23	22	16	15	10	9	8	7	6	2	1	0
BD	0	IV		0		IP[7:2]	IP[1:0]	0	Exc Code			0		0

Таблица 2.28. Описание полей регистра Cause

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
BD	31	Указывает на то, что последнее исключение произошло в слоте задержки перехода: 0: Не в слоте задержки 1: В слоте задержки Замечание: бит BD не модифицируется на новом исключении, если установлен бит EXL.	R	Не определено
0	30:24	При чтении возвращается нуль	0	0
IV	23	Указывает, какой вектор используется для обслуживания исключений прерывания – общий или специальный вектор прерываний: 0: Используется общий вектор исключения (0x180) 1: Используется специальный вектор прерываний (0x200)	R/W	Не определено
0	22:16	При чтении возвращается нуль	0	0
IP[7:2]	15:10	Указывает, какое прерывание установлено: 15: все внутренние прерывания от DMA и устройств микропроцессора (объединены по схеме ИЛИ); 14: не используется, всегда имеет нулевое состояние; 13: внешнее прерывание nIRQ[3]; 12: внешнее прерывание nIRQ[2]; 11: внешнее прерывание nIRQ[1]; 10: внешнее прерывание nIRQ[0].	R	Не определено
IP[1:0]	9:8	Управляет запросами программных прерываний (посредством записи «1» в данные разряды): 9: Запрос программного прерывания 1; 8: Запрос программного прерывания 0.	R/W	Не определено
ID	7	Прерывание от встроенных средств отладки программ (OnCD).	R/W	0
Exc Code	6:2	Код исключения — см. Таблица 2.29		
0	1:0	При чтении возвращается нуль	0	0

Таблица 2.29. Описание поля Exc Code регистра Cause

Значение Exc Code	Мнемоника	Описание
0	Int	Прерывание
1	Mod	TLB-исключение модификации
2	TLBL	TLB-исключение (загрузка или вызов команды)
3	TLBS	TLB-исключение (сохранение)
4	AdEL	Прерывание по ошибке адресации (загрузка или вызов команды)
5	AdES	Прерывание по ошибке адресации (сохранение)
6-7		Не используются
8	Sys	Системное исключение
9	Bp	Исключение Breakpoint
10	RI	Исключение зарезервированной команды
11	SpU	Исключение недоступности сопроцессора
12	Ov	Исключение целочисленного переполнения
13	Tr	Исключение Trap
14-22		Зарезервированы
23		Не используется
24	MCheck	Аппаратный контроль
25-31		Зарезервированы

2.7.3.12 Регистр EPC (Регистр 14 CP0, Select 0)

Программный счетчик исключения (EPC) является регистром, доступным для чтения и записи. EPC содержит адрес, начиная с которого возобновляется исполнение программы после завершения обработки исключения. Все биты регистра EPC значимы и должны перезаписываться.

Для синхронных (точных) исключений, EPC содержит одно из следующего:

- Виртуальный адрес команды, которая была прямой причиной исключения;
- Виртуальный адрес команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая исключение, находится в слоте задержки перехода и установлен бит BD в регистре Cause.

Если установлен бит EXL в регистре Status, процессор не записывает адрес в регистр EPC при возникновении новых исключений. Однако, новое значение можно записать в EPC командой MTC0.

Формат регистра EPC

31	0
EPC	

Таблица 2.30. Описание полей регистра EPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
EPC	31:0	Программный счетчик исключения	R/W	Не определено

2.7.3.13 Регистр PRId (Регистр 15 CP0, Select 0)

Регистр идентификации процессора (PRId) – это 32-х разрядный регистр, доступный только для чтения. Он содержит информацию, идентифицирующую изготовителя, опции изготовителя, идентификацию процессора, и версию процессора.

Формат регистра PRId

31	24	23	16	15	8	7	0
R	Company ID		Processor ID		Revision		

Таблица 2.31. Описание полей регистра PRId

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
R		При чтении возвращается нуль	R	0
Company ID	23:16	Идентификация компании, которая проектировала или изготавливала процессор.	R	1010
Processor ID	15:8	Идентификация типа процессора.	R	10010
Revision	7:0	Номер версии процессора. Позволяет программам различать разные версии одного типа процессора.	R	0

2.7.3.14 Регистр Config (Регистр 16 CP0, Select 0)

Регистр Config определяет различную конфигурационную информацию, а также информацию о возможностях процессора. Большинство полей регистра Config инициализируется аппаратно при выполнении исключения Reset или имеет постоянное значение, и только поле K0 должно быть проинициализировано программно обработчиком исключения Reset.

Формат регистра Config

31	30	28	27	25	24	21	20	19	18	17	16	15	14	13	12	10	9	7	6	3	2	0
M	K23	KU	0	MDU	R	MM	BM	BE	AT	AR	MT	0	K0									

Таблица 2.32. Описание полей регистра Config

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
M	31	Этот бит аппаратно устанавливается в высокий уровень, указывая на наличие регистра Config1	R	1
K23	30:28	Это поле управляет кэшируемостью адресных сегментов kseg2 и kseg3 в режиме FM. В режиме TLB не используется. См. табл.5.21.	FM:R/W	FM:010
			TLB:R	TLB:000
KU	27:25	Это поле управляет кэшируемостью адресных сегментов kuseg и useg в режиме FM. В режиме TLB не используется. См. табл.5.21.	FM:R/W	FM:010
			TLB:R	TLB:000
0	24:21	Не используются	0	0
MDU	20	Тип MDU: итеративный умножитель и делитель	R	1
R	19	При чтении возвращается нуль	0	0
MM	18:17	Режим No Merging для 32 bit collapsing write buffer	R	0
BM	16	Тип передачи Burst: последовательный	R	0
BE	15	Режим endian: Little endian	R	0

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
AT	14:13	Тип архитектуры, реализованной процессо- ром: MIPS32.	R	0
AR	12:10	Номер версии: 1	R	0
MT	9:7	Тип MMU: 1: Стандартный TLB (FM = 0) 3: Фиксированное отображение (FM = 1) 0, 2, 4-7: зарезервированы	R	TLB: 01
				FM: 11
R	6:3	При чтении возвращается нуль	0	0
K0	2:0	Алгоритм когерентности для kseg0, см. Таб- лица 2.18.	R/W	010

Таблица 2.33. Атрибуты когерентности кэш

Значение C[5:3]	
0, 1, 3*, 4, 5, 6	Кэшируемая, некогерентная область
2*, 7	Некэшируемая область
* - Архитектура MIPS32 предусматривает только эти два значения. Остальные значения не используются и отображаются в используемые значения. Например, 0, 1, 4, 5 и 6 отобража- ется в 3, а 7 – в 2.	

2.7.3.15 Регистр Config1 (Регистр 16 CP0, Select 1)

Регистр Config1 является дополнением к регистру Config и кодирует дополнительную информацию о возможностях процессора. Все поля регистра Config1 доступны только для чтения.

Формат регистра Config1

31	30	25	24	22	21	19	18	16	15	13	12	10	9	7	6	5	4	3	2	1	0
R	MMUSize	IS	IL	IA	DS	DL	DA	R	PC	WR	CA	EP	FP								

Таблица 2.34. Описание полей регистра Config1

Поля		Описание	Чтение/ Запись	Начальное со- стояние
Имя	Биты			
R	31	При чтении возвращается нуль	0	0
Размер MMU	30:25	Это поле содержит количество строк TLB минус 1. В режиме TLB возвра- щается 15 в десятичном формате, в режиме Fixed Mapping – 0	R	001111 (FM=0)
				000000 (FM=1)
IS	24:22	Количество наборов кэш команд: ре- зервная опция	R	111
IL	21:19	Размер строки кэш команд: 16 байт	R	011
IA	18:16	Тип кэш команд: Direct mapped	R	0
DS	15:13	Нет кэш данных	R	0
DL	12:10	Нет кэш данных	R	0
DA	9:7	Нет кэш данных	R	0
R	6:5	При чтении возвращается нуль	0	0
PC	4	Нет регистра Performance Counter	R	0
WR	3	Нет регистра WATCH	R	0
CA	2	Не реализовано	R	0
EP	1	EJTAG не реализован	R	0
FP	0	Нет плавающей арифметики	R	0

2.7.3.16 Регистр LLAddr – Load Linked Address (Регистр 17 CP0, Select 0)

Регистр LLAddr содержит физический адрес последней команды Load Linked (LL). Этот регистр используется только для диагностических целей.

Формат LLAddr регистра

31	28	27	0
			Paddr[31:4]

Таблица 2.35. Описание полей LLAddr регистра

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
0	31:28	При чтении возвращается нуль	0	0
Paddr[31:4]	27:0	Физический адрес последней команды LL	R	Не определено

2.7.3.17 Регистр ErrorEPC (Регистр 30 CP0, Select 0)

Доступный для чтения и записи, регистр ErrorEPC полностью подобен регистру EPC, но используется при возникновении исключений ошибок. Все биты регистра ErrorEPC значимы и должны перезаписываться. Регистр ErrorEPC также используется для сохранения значения счетчика команд при возникновении исключений Reset и немаскируемого прерывании (NMI).

Регистр ErrorEPC содержит виртуальный адрес, начиная с которого может возобновиться исполнение программы после обработки ошибочной ситуации.

Этот адрес может быть:

- Виртуальным адресом команды, вызвавшей исключение;
- Виртуальным адресом команды перехода (Branch или Jump), непосредственно предшествующей исключению, если команда, вызвавшая ошибку, находится в слоте задержки перехода.

В отличие от регистра EPC, для регистра ErrorEPC не имеется соответствующего признака слота задержки перехода.

Формат регистра ErrorEPC

31	0
ErrorEPC	

Таблица 2.36. Описание полей регистра ErrorEPC

Поля		Описание	Чтение/ Запись	Начальное состояние
Имя	Биты			
ErrorEPC	31:0	Счетчик команд при исключении ошибки	R/W	Не определен

Регистры WatchLo, WatchHi, Debug, DEPC, TagLo, DataLo, DeSave не реализованы

2.8 Кэш

2.8.1 Введение

В данной версии процессора реализован виртуально индексируемый и контролируемый по физическому тэгу кэш команд типа direct mapped. Это позволяет осуществлять доступ к кэш параллельно с преобразованием виртуального адреса в физический. Объем кэш составляет 16 Кбайт.

Загрузка кэш (операция Refill) выполняются посредством пачки (burst), состоящей из 4 команд. Адрес, по которому начинается burst, выровнен по 16-байтной границе. До получения критического слова кэш блокируется.

2.8.2 Протокол кэш

2.8.2.1 Организация кэш

Кэш команд состоит из двух массивов – массива тэгов и массива данных. Кэш индексируется виртуально, поскольку для выбора соответствующей строки в обоих массивах используется виртуальный адрес. Контроль осуществляется по физическому тэгу, так как массив тэгов содержит физический, а не виртуальный адрес.

На Рисунок 2.20 представлен формат каждой строки массивов тэгов и данных. Тэговая строка содержит 18 старших бита физического адреса (биты [31:14]) и бит валидности.

Строка данных содержит 4 32-х разрядных слова – всего 16 байт.

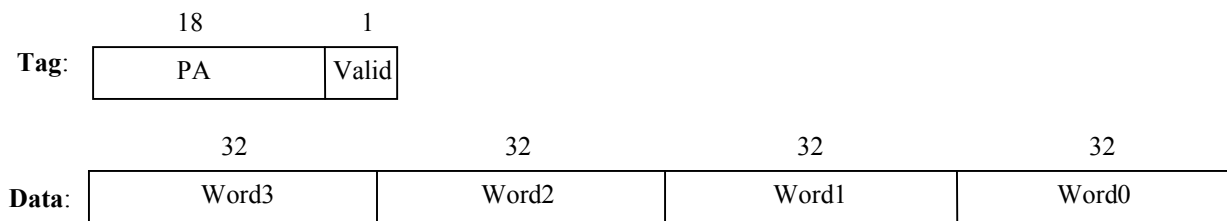


Рисунок 2.20 Формат массива кэш

2.8.2.2 Атрибуты кэшируемости.

В данной версии реализовано только два атрибута. Область может быть либо кэшируемой, либо некэшируемой (см. Таблица 2.33)

2.9 Карта памяти CPU

Карта физической памяти CPU приведена в Таблица 2.37. Здесь и далее, если это не оговорено специально, коды адреса и данных указаны в шестнадцатеричной системе счисления. Объемы областей памяти указаны с учетом ее дальнейшего расширения.

Таблица 2.37. Карта физической памяти CPU

Диапазон адресов	Название области	Объем области, Мбайт
FFFF_FFFF 2000_0000	Внешняя память	3584
1FFF_FFFF 1C00_0000	Внешняя память (ПЗУ)	64
1BFF_FFFF 1800_0000	Внутренняя память	64
17FF_FFFF 0000_0000	Внешняя память	384

Вся внешняя память доступна через порт внешней памяти (MPORT).

Для CPU все адресное пространство памяти является 32-разрядным. Память SRAM, а также внешняя память, могут адресоваться с точностью до байта.

Для указания разрядности блоков внешней памяти в регистрах CCON0:CCON3 порта внешней памяти имеется бит W64: 0 – блок 32-разрядный, 1 – блок 64-разрядный. Данные в 64-разрядном блоке внешней памяти располагаются следующим образом:

Номер 64-разрядного слова	Адрес старшей 32-разрядной части (H)	Адрес младшей 32-разрядной части (L)
0	0x0000_0004	0x0000_0000
1	0x0000_000C	0x0000_0008
2	0x0000_0014	0x0000_0010
3	0x0000_001C	0x0000_0018

Адресом 64-разрядного слова является адрес его младшей части.

Для программ CPU разрядность блоков внешней памяти неразличима.

Карта внутренней памяти 1892ВМ5Я приведена в Таблица 2.38.

Таблица 2.38. Карта внутренней памяти 1892ВМ5Я

Диапазон адресов	Название области	Объем области, Мбайт
1BFF_FFFF 1B00_0000	Окно выхода в шину PCI	16
1AFF_FFFF 18C0_0000	Резерв	36
18BF_FFFF 1880_0000	Память и регистры DSP1	4
187F_FFFF 1840_0000	Память и регистры DSP0	4
183F_FFFF 1830_0000	Резерв	1
182F_FFFF 182F_0000	Регистры CPU	64 Кбайт
182E_FFFF 1800_8000	Резерв	3
1800_7FFF 1800_0000	Память СРАМ	32 Кбайт

Перечень программно доступных регистров для CPU приведен в Таблица 2.39.

Таблица 2.39

Условное обозначение регистра	Название регистра	Адрес регистра
<u>Регистры DMA</u>		
CSR_LpCh0	Регистр управления и состояния канала LpCh0	182F_0400
CP_LpCh0	Регистр указателя цепочки канала LpCh0	182F_0408
IR_LpCh0	Индексный регистр памяти канала LpCh0	182F_040C
OR_LpCh0	Регистр смещения памяти канала LpCh0	182F_0410
Y_LpCh0	Регистр параметров направления Y при двухмерной адресации памяти канала LpCh0	182F_0414
Run_LpCh0	Псевдорегистр управления состоянием бита RUN регистра CSR_LpCh0	182F_0418
CSR_LpCh1	Регистр управления и состояния канала LpCh1	182F_0500
CP_LpCh1	Регистр указателя цепочки канала LpCh1	182F_0508
IR_LpCh1	Индексный регистр памяти канала LpCh1	182F_050C
OR_LpCh1	Регистр смещения памяти канала LpCh1	182F_0510
Y_LpCh1	Регистр параметров направления Y при двухмерной адресации памяти канала LpCh1	182F_0514
Run_LpCh1	Псевдорегистр управления состоянием бита RUN регистра CSR_LpCh1	182F_0518
CSR_LpCh2	Регистр управления и состояния канала LpCh2	182F_0600
CP_LpCh2	Регистр указателя цепочки канала LpCh2	182F_0608
IR_LpCh2	Индексный регистр памяти канала LpCh2	182F_060C
OR_LpCh2	Регистр смещения памяти канала LpCh2	182F_0610
Y_LpCh2	Регистр параметров направления Y при двухмерной адресации памяти канала LpCh2	182F_0614
Run_LpCh2	Псевдорегистр управления состоянием бита RUN регистра CSR_LpCh2	182F_0618
CSR_LpCh3	Регистр управления и состояния канала LpCh3	182F_0700
CP_LpCh3	Регистр указателя цепочки канала LpCh3	182F_0708
IR_LpCh3	Индексный регистр памяти канала LpCh3	182F_070C
OR_LpCh3	Регистр смещения памяти канала LpCh3	182F_0710
Y_LpCh3	Регистр параметров направления Y при двухмерной адресации памяти канала LpCh3	182F_0714
Run_LpCh3	Псевдорегистр управления состоянием бита RUN регистра CSR_LpCh3	182F_0718
<u>Регистры DMA</u>		
CSR_MemCh0	Регистр управления и состояния канала MemCh0	182F_0800
IOR_MemCh0	Регистр индекса и смещения внутренней памяти канала MemCh0	182F_0804
CP_MemCh0	Регистр указателя цепочки канала MemCh0	182F_0808
IR_MemCh0	Индексный регистр внешней памяти канала MemCh0	182F_080C
OR_MemCh0	Регистр смещения внешней памяти канала MemCh0	182F_0810
Y_MemCh0	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh0	182F_0814
Run_MemCh0	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh0	182F_0818

Условное обозначение регистра	Название регистра	Адрес регистра
CSR_MemCh1	Регистр управления и состояния канала MemCh1	182F_0900
IOR_MemCh1	Регистр индекса и смещения внутренней памяти канала MemCh1	182F_0904
CP_MemCh1	Регистр указателя цепочки канала MemCh1	182F_0908
IR_MemCh1	Индексный регистр внешней памяти канала MemCh1	182F_090C
OR_MemCh1	Регистр смещения внешней памяти канала MemCh1	182F_0910
Y_MemCh1	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh1	182F_0914
Run_MemCh1	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh1	182F_0918
CSR_MemCh2	Регистр управления и состояния канала MemCh2	182F_0A00
IOR_MemCh2	Регистр индекса и смещения внутренней памяти канала MemCh2	182F_0A04
CP_MemCh2	Регистр указателя цепочки канала MemCh2	182F_0A08
IR_MemCh2	Индексный регистр внешней памяти канала MemCh2	182F_0A0C
OR_MemCh2	Регистр смещения внешней памяти канала MemCh2	182F_0A10
Y_MemCh2	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh2	182F_0A14
Run_MemCh2	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh2	182F_0A18
CSR_MemCh3	Регистр управления и состояния канала MemCh3	182F_0B00
IOR_MemCh3	Регистр индекса и смещения внутренней памяти канала MemCh3	182F_0B04
CP_MemCh3	Регистр указателя цепочки канала MemCh3	182F_0B08
IR_MemCh3	Индексный регистр внешней памяти канала MemCh3	182F_0B0C
OR_MemCh3	Регистр смещения внешней памяти канала MemCh3	182F_0B10
Y_MemCh3	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh3	182F_0B14
Run_MemCh3	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh3	182F_0B18
<u>Регистры DMA</u>		
CSR_MemCh4	Регистр управления и состояния канала MemCh4	182F_0C00
IOR_MemCh4	Регистр индекса и смещения внутренней памяти канала MemCh4	182F_0C04
CP_MemCh4	Регистр указателя цепочки канала MemCh4	182F_0C08
IR_MemCh4	Индексный регистр внешней памяти канала MemCh4	182F_0C0C
OR_MemCh4	Регистр смещения внешней памяти канала MemCh4	182F_0C10
Y_MemCh4	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh4	182F_0C14
Run_MemCh4	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh4	182F_0C18
CSR_MemCh5	Регистр управления и состояния канала MemCh5	182F_0D00
IOR_MemCh5	Регистр индекса и смещения внутренней памяти канала MemCh5	182F_0D04
CP_MemCh5	Регистр указателя цепочки канала MemCh5	182F_0D08
IR_MemCh5	Индексный регистр внешней памяти канала MemCh5	182F_0D0C
OR_MemCh5	Регистр смещения внешней памяти канала MemCh5	182F_0D10
Y_MemCh5	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh5	182F_0D14
Run_MemCh5	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh5	182F_0D18
CSR_MemCh6	Регистр управления и состояния канала MemCh6	182F_0E00

Условное обозначение регистра	Название регистра	Адрес регистра
IOR_MemCh6	Регистр индекса и смещения внутренней памяти канала MemCh6	182F_0E04
CP_MemCh6	Регистр указателя цепочки канала MemCh6	182F_0E08
IR_MemCh6	Индексный регистр внешней памяти канала MemCh6	182F_0E0C
OR_MemCh6	Регистр смещения внешней памяти канала MemCh6	182F_0E10
Y_MemCh6	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh6	182F_0E14
Run_MemCh6	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh6	182F_0E18
CSR_MemCh7	Регистр управления и состояния канала MemCh7	182F_0F00
IOR_MemCh7	Регистр индекса и смещения внутренней памяти канала MemCh7	182F_0F04
CP_MemCh7	Регистр указателя цепочки канала MemCh7	182F_0F08
IR_MemCh7	Индексный регистр внешней памяти канала MemCh7	182F_0F0C
OR_MemCh7	Регистр смещения внешней памяти канала MemCh7	182F_0F10
Y_MemCh7	Регистр параметров направления Y при двухмерной адресации внешней памяти канала MemCh7	182F_0F14
Run_MemCh7	Псевдорегистр управления состоянием бита RUN регистра CSR_MemCh7	182F_0F18
<u>Регистры линковых портов</u>		
LTx0	Буфер передачи порта LPORT0	182F_7000
LRx0	Буфер приема порта LPORT0	182F_7000
LCSR0	Регистр управления и состояния порта LPORT0	182F_7004
LDIR0	Регистр управления порта ввода-вывода LPORT0	182F_7008
LDR0	Регистр данных порта ввода-вывода LPORT0	182F_700C
LTx1	Буфер передачи порта LPORT1	182F_8000
LRx1	Буфер приема порта LPORT1	182F_8000
LCSR1	Регистр управления и состояния порта LPORT1	182F_8004
LDIR1	Регистр управления порта ввода-вывода LPORT1	182F_8008
LDR1	Регистр данных порта ввода-вывода LPORT1	182F_800C
LTx2	Буфер передачи порта LPORT2	182F_9000
LRx2	Буфер приема порта LPORT2	182F_9000
LCSR2	Регистр управления и состояния порта LPORT2	182F_9004
LDIR2	Регистр управления порта ввода-вывода LPORT2	182F_9008
LDR2	Регистр данных порта ввода-вывода LPORT2	182F_900C
LTx3	Буфер передачи порта LPORT3	182F_A000
LRx3	Буфер приема порта LPORT3	182F_A000
LCSR3	Регистр управления и состояния порта LPORT3	182F_A004
LDIR3	Регистр управления порта ввода-вывода LPORT3	182F_A008
LDR3	Регистр данных порта ввода-вывода LPORT3	182F_A00C
<u>Регистры UART</u>		
RBR	Приемный буферный регистр	182F_3000
THR	Передающий буферный регистр	182F_3000
IER	Регистр разрешения прерываний	182F_3004
IIR	Регистр идентификации прерывания	182F_3008
FCR	Регистр управления FIFO	182F_3008
LCR	Регистр управления линией	182F_300C
MCR	Регистр управления модемом	182F_3010
LSR	Регистр состояния линии	182F_3014

Условное обозначение регистра	Название регистра	Адрес регистра
MSR	Регистр состояния модемом	182F_3018
SPR	Регистр Scratch Pad	182F_301C
DLL	Регистр делителя младший	182F_3000
DLM	Регистр делителя старший	182F_3004
SCLR	Регистр предделителя (scaler)	182F_3014
<u>Регистры интервального таймера (IT)</u>		
ITCSR	Регистр управления	182F_D000
ITPERIOD	Регистр периода работы таймера	182F_D004
ITCOUNT	Регистр счетчика	182F_D008
ITSCALE	Регистр предделителя	182F_D00C
<u>Регистры WDT</u>		
WTCSR	Регистр управления	182F_D010
WTPERIOD	Регистр периода работы таймера	182F_D014
WTCOUNT	Регистр счетчика	182F_D018
WTSCALE	Регистр предделителя	182F_D01C
<u>Регистры RTT</u>		
RTCSR	Регистр управления	182F_D020
RTPERIOD	Регистр периода работы таймера	182F_D024
RTCOUNT	Регистр счетчика	182F_D028
<u>Регистры порта внешней памяти</u>		
CSCON0	Регистр конфигурации 0	182F_1000
CSCON1	Регистр конфигурации 1	182F_1004
CSCON2	Регистр конфигурации 2	182F_1008
CSCON3	Регистр конфигурации 3	182F_100C
CSCON4	Регистр конфигурации 4	182F_1010
SDRCON	Регистр конфигурации памяти типа SDRAM	182F_1014
CKE_CTR	Регистр управления состоянием вывода СКЕ микросхемы	182F_1018
<u>Регистры контроллера PCI (PMSC)</u>		
Device/ Vendor ID	Регистр идентификации устройства. Конфигурационный регистр шины PCI.	182F_2000
Status/ Command	Регистр состояния и управления. Конфигурационный регистр шины PCI.	182F_2004
Class Code/ Revision ID	Регистр кода. Конфигурационный регистр шины PCI.	182F_2008
Latency Timer	Регистр таймера времени передачи (MLT). Конфигурационный регистр шины PCI.	182F_200C
BAR0 (Base Address Register)	Регистр базового адреса 0. Конфигурационный регистр шины PCI.	182F_2010
BAR1 (Base Address Register)	Регистр базового адреса 1. Конфигурационный регистр шины PCI.	182F_2014
Interrupt_Line	Код прерывания. Конфигурационный регистр шины PCI.	182F_203C
IR_Slave	Индексный регистр адреса памяти при обмене данными с PCI в режиме Slave	182F_2040
SEM	Регистр семафора.	182F_2044
MBR	Регистр почтового ящика	182F_2048
CSR_PCI	Регистр управления шины PCI	182F_204C
CSR_PMCh	Регистр состояния и управления обменом с PCI в режиме Master.	

Условное обозначение регистра	Название регистра	Адрес регистра
IR_Master	Индексный регистр адреса памяти при обмене данными с PCI в режиме Master.	182F_2054
AR_PCI	Адресный регистр PCI.	182F_2058
AR_BOOT	Регистр адреса начального старта CPU по команде из шины PCI.	182F_205C
<u>Системные регистры</u>		
MASKR	Регистр маски	182F_4000
QSTR	Регистр заявок	182F_4004
CSR	Регистр управления	182F_4008

3. ЦИФРОВОЙ СИГНАЛЬНЫЙ ПРОЦЕССОР (DSP)

3.1 Функциональные параметры и возможности DSP

В состав системы на кристалле микросхемы 1892ВМ5Я в качестве DSP-сопроцессоров включены два одинаковых IP-ядра **ELcore-26™** из IP-ядерной библиотеки платформы МУЛЬТИКОР.

Каждое из них имеет гарвардскую архитектуру с внутренним параллелизмом по потокам обрабатываемых данных, типичную для ЦПОС, и предназначено для высокоскоростной обработки информации в форматах с фиксированной и с плавающей точкой.

Система инструкций и гибкие адресные режимы DSP-ядра **ELcore-26™** позволяют эффективно реализовать алгоритмы сигнальной обработки. Время выполнения минимизируется за счет использования программного конвейера и высокопроизводительных инструкций, реализующих параллельно несколько вычислительных операций и пересылок.

Ядро **ELcore-26™** программно совместимо с ядром **ELcore-24™**, но имеет более эффективную реализацию внутренней микроархитектуры, что позволяет на 20% улучшить параметры быстродействия.

Для повышения производительности ядра **ELcore-26™** используется распараллеливание потоков обработки по SIMD-типу (Single Instructions, Multiple Data - “один поток инструкций, множественные потоки данных”). Это достигается благодаря свойству *масштабируемости* DSP-ядра **ELcore-х6**, то есть возможности увеличения числа секций обработки данных (SIMD-секций) от одной (**ELcore-16**) до двух (**ELcore-26**), оставаясь в рамках одной системы инструкций и одной среды разработки (платформа «МУЛЬТИКОР»).

Таким образом, параллелизм обработки данных в 1892ВМ5Я имеет три уровня:

1. на уровне использования двух ядер DSP –акселераторов (MIMD –параллелизм. **MIMD – Multiple Instructions Multiple Data**, т.е. несколько потоков команд – несколько потоков данных);
2. на уровне архитектуры каждого DSP-ядра в целом, что определяется наличием двух SIMD-секций в каждом DSP –ядре (SIMD –параллелизм. **SIMD –ingle Instructions Multiple Data**, т.е. один поток команд –несколько потоков данных);
3. на уровне каждой из SIMD-секций он определяется возможностью выполнения в рамках одной инструкции (т.е. в течение одного командного цикла) нескольких вычислительных операций и пересылок.

DSP функционирует под управлением CPU и расширяет его возможности по обработке сигналов. Система команд DSP обеспечивает программирование всех базовых процедур сигнальной обработки. Система инструкций DSP-ядра приведена в документе «DSP-ядро **ELcore-26**. Система инструкций».

Основные функциональные особенности DSP-ядра:

- “Гарвардская” RISC–подобная архитектура с оригинальной системой команд и преимущественно одноктактным исполнением инструкций;
- 2SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
- Набор инструкций, совмещающий процедуры обработки и пересылки;
- 3-ступенчатый конвейер по выполнению 32– и 64–разрядных инструкций;
- Расширенные возможности по динамическому диапазону обрабатываемых данных, позволяющие обрабатывать данные в 8/16/32–разрядных форматах с фиксированной точкой, либо в одном из форматов с плавающей точкой – 24E8 (стандарт IEEE 754) или 32E16 (расширенный формат). Обеспечение при этом компромиссного выбора между точностью и производительностью. Аппаратные меры повышения точности и динамического диапазона (блочная плавающая точка; режим насыщения; инструкции преобразования форматов);
- Аппаратная поддержка программных циклов;
- Память программ PRAM объемом 16 Кбайт (4К 32-разрядных слов);
- Двухпортовые памяти данных XRAM и YRAM объемом по 64 Кбайт каждая. Общий объем памяти данных (включая X- и Y-области) – 32 К 32-разрядных слов.
- Пиковая производительность одного DSP-ядра ELcore-26™ в составе 1892BM5Я.
 - 1892BM5АЯ:
 - 720 млн. оп/с 32-битных операций с плавающей точкой (IEEE 754);
 - 4320 млн. оп/с 8-битных операций с фиксированной точкой;
 - 1920 млн. оп/с 16-битных операций с фиксированной точкой;
 - 960 млн. оп/с 32-битных операций с фиксированной точкой.
 - 1892BM5БЯ:
 - 648 млн. оп/с 32-битных операций с плавающей точкой (IEEE 754);
 - 3888 млн. оп/с 8-битных операций с фиксированной точкой;
 - 1728 млн. оп/с 16-битных операций с фиксированной точкой;
 - 864 млн. оп/с 32-битных операций с фиксированной точкой.

Дополнительная информация о работе DSP содержится в документе: «DSP-ядро ELcore-26. Система инструкций».

3.2 Архитектура DSP

3.2.1 Структурная схема DSP

Структурная схема DSP приведена на Рисунок 3.1.

В состав DSP входят следующие блоки:

1. Операционные блоки:
 - ALU (Arithmetic & Logic Unit) – арифметико-логическое устройство;
 - AGU (Address Generator Unit) – устройство генерации адреса для X- и Y-памяти данных DSP;
 - AGU-Y – устройство генерации адреса для Y-памяти данных DSP;
2. Блоки программного управления:
 - PCU (Program Control Unit), содержащий:
 - PAG (Program Address Generator) - генератор адреса программ;
 - PDC (Program Decoder) - программный декодер.
3. Блоки коммутации:
 - IDBS (Internal Data Bus Switch) - внутренний коммутатор шин данных;
 - EDBS (External Data Bus Switch) - внешний коммутатор шин данных;
4. Блоки памяти:
 - PRAM - память программ DSP;
 - XRAM0, XRAM1 – X-память данных DSP;
 - YRAM0, YRAM1 – Y-память данных DSP;

Элементами архитектуры DSP также являются:

- внутренние шины адреса (XAB, YAB0, YAB1, PAB);
- внутренние шины данных (XDB0, XDB1, PDB, GDB, YDB0, YDB1);

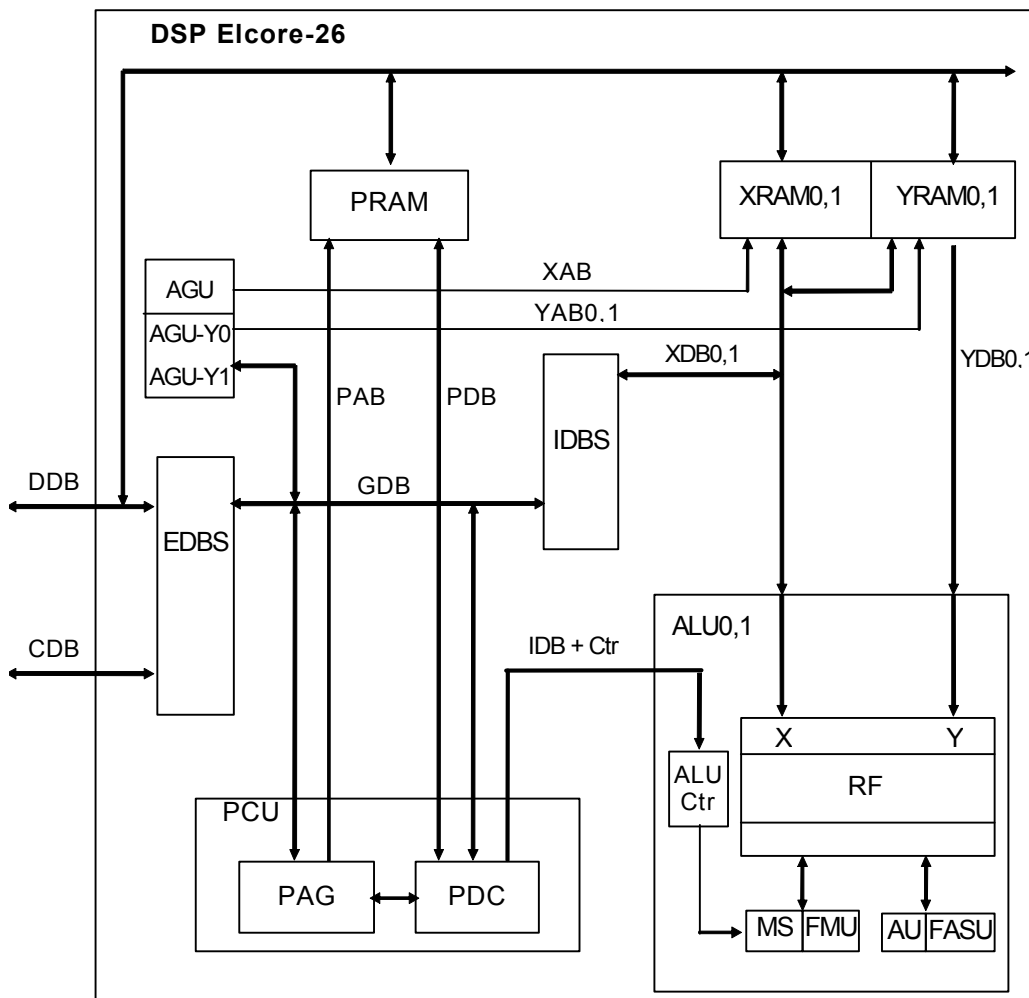


Рисунок 3.1 Структурная схема DSP Elcore-26.

3.2.2 Арифметико-логическое устройство (ALU)

Арифметико-логическое устройство (ALU) выполняет все вычислительные операции.

Арифметико-логическое устройство содержит в своем составе регистровый файл RF, регистры PDNR и CCR, регистры-аккумуляторы AC0 и AC1, а также вычислительные (операционные) устройства: умножитель/сдвигатель для форматов с фиксированной точкой (MS/SH); арифметическое устройство для форматов с фиксированной точкой (AU/LU), умножитель для форматов с плавающей точкой IEEE-754 (FMU); арифметическое устройство для форматов с плавающей точкой (FASU).

Регистровый файл.

Регистровый файл (RF) представляет собой многопортовую оперативную память с организацией 32 слова по 16 бит или 16 слов по 32 бита. При помощи RF осуществляется параллельное чтение и запись нескольких операндов в соответствии с исполняемой операцией.

Операционные блоки (MS/SH, FMU, AU/LU, FASU).

Операционные блоки выполняют следующие операции.

Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH):

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции многоразрядного арифметического и логического сдвига в форматах с фиксированной точкой;

Умножитель для формата с плавающей точкой IEEE-754 (FMU):

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU):

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation).
- логические операции;
- операции с битовыми полями;

Арифметическое устройство для формата с плавающей точкой (FASU):

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

Регистры CCR, PDNR, AC0, AC1

Регистры CCR, PDNR являются 16-разрядными программно-доступными по записи и чтению регистрами, выполняющими следующие функции:

- регистр CCR предназначен для хранения признаков результата последней выполненной арифметической операции, а также для управления режимами округления (rounding) и насыщения (saturation);
- регистр PDNR предназначен для аппаратного измерения параметра денормализации массива данных и автоматического масштабирования результатов сложения/вычитания сдвигом вправо на 0/1/2 бита.

Регистры-аккумуляторы AC0, AC1 являются специализированными 32-разрядными регистрами данных, предназначенными для накопления результата в операциях умножения с накоплением. В операциях MAC, MACL регистры AC0, AC1 объединяются в один 64-разрядный регистр для получения 64-разрядного результата.

3.2.3 *Устройства генерации адреса (AGU, AGU-Y)*

Устройства AGU, AGU-Y выполняют вычисление адресов операндов в памяти данных XRAM, YRAM, используя целочисленную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

3.2.4 *Устройство программного управления (PCU)*

DSP поддерживает набор типовых инструкций и режимов стандартного ЦПОС.

Выборка и декодирование инструкции осуществляется на базе трехступенчатого конвейера, что обеспечивает короткую (два командных цикла) скалярную задержку для вычислений.

Устройство программного управления (PCU) включает в себя два блока:

- Программный адресный генератор (PAG);
- Программный декодер (PDC).

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO, управляет работой системного стека.

3.2.5 *Коммутаторы шин данных (IDBS, EDBS)*

Внутренний коммутатор шин данных IDBS предназначен для коммутации шин данных при выполнении пересылок и выполнения операции транспонирования матриц (см. в последующих разделах)

Внешний коммутатор шин данных EDBS предназначен для коммутации внешних системных шин на соответствующие внутренние шины при выполнении обменов с CPU и DMA.

3.2.6 *Блоки памяти*

Внутренняя память DSP включает в себя 4 независимых компоненты (пространства памяти):

- 1) память программ PRAM (пространство P);
- 2) память данных (включает область X-памяти и область Y-памяти);
- 3) регистры управления, включая регистры AGU, AGU-Y и PCU, а также регистры CCR, PDNR, AC0, AC1 (пространство C);
- 4) регистры данных - регистровый файл ALU (пространство R).

Внутренние модули памяти и внутренние регистры DSP (последние как устройства, расположенные в адресном пространстве) составляют подсистему памяти, т.е. устройства, доступные программно по адресным пространствам X, Y, P, C, R. Каждое из указанных устройств характеризуется следующими особенностями доступа:

- внутренние пространства памяти X, Y, P доступны только по одной (одноименной) шине, обращения одноктактные, т.е. выполняются в течение одного командного цикла.

- регистры доступны по шине GDB, обращения одноктактные.

При обращениях внутри DSP выбор конкретного устройства подсистемы памяти определяется адресом и пространством обращения. Для ускорения выбора устройства подсистемы памяти формирователи адресов (AGU, AGU-Y, PAG) формируют также специальные признаки адресного пространства.

Память программ и память данных

Память программ PRAM имеет 64-разрядную организацию, позволяющую осуществлять хранение и выборку в течение одного такта как 32-разрядных, так и 64-разрядных инструкций. DSP ELcore-26 имеет память PRAM объемом 4К 32-разрядных (или 2К 64-разрядных) слов.

Общее пространство памяти данных DSP состоит из двух областей: X- и Y-памяти (XRAM, YRAM), имеющих 32-разрядную организацию.

Память XRAM и память YRAM имеют следующий объем:

XRAM – 16К 32-разрядных слов;

YRAM - 16К 32-разрядных слов;

Модули памяти XRAM, YRAM, PRAM является двухпортовыми, что обеспечивает возможность одновременного доступа к ним как со стороны DSP, так и со стороны CPU или DMA.

3.2.7 Шины адреса и данных

DSP-ядро имеет внешние шины адреса и данных DDB и CDB для обменов с CPU и DMA. Обмены CPU или DMA с памятью DSP происходят через отведенные для этого порты модулей памяти XRAM, YRAM и не прерывают работы DSP. В обменах по указанным шинам DSP является ведомым устройством (Slave) и не может самостоятельно инициировать обмен.

В пределах DSP передача данных и управляющей информации осуществляется при помощи внутренних шин:

- 32-разрядных шин данных памяти данных (XDB0, YDB0, XDB1, YDB1);
- 64-разрядной шины программных данных (PDB).
- 16-разрядной глобальной шины данных (GDB);

При внутренних обменах модули памяти XRAM, YRAM и PRAM адресуются по однонаправленным адресным шинам: XAB, YAB0, YAB1 и PAB.

Пересылки программ и выборки команд осуществляются по шине программных данных PDB. 16-разрядная шина GDB используется для обменов между регистрами DSP.

3.3 Арифметико-логическое устройство (ALU)

Арифметико-логическое устройство (ALU) является исполнительным устройством DSP, выполняющим все вычислительные операции с данными. В настоящем разделе описывается архитектура, программная модель и режимы работы ALU.

3.3.1 Архитектура ALU

Арифметико-логическое устройство (рисунок 3.2) содержит в своем составе следующие блоки:

- Регистровый файл (RF);
- Умножитель чисел в формате с плавающей точкой 24e8 (FMU);
- Параллельный умножитель и сдвигатель чисел в форматах с фиксированной точкой 8/16/32 (MS/SH);
- Сумматор, вычитатель и преобразователь чисел с плавающей точкой формата 24e8 (FASU);
- Арифметическое устройство (AU/LU), поддерживающее обработку 16/32-разрядных чисел в форматах с фиксированной точкой, включающий 16/32-разрядное логическое устройство, устройство преобразования битовых полей и устройство определения параметра денормализации;
- Два 32-разрядных регистра-аккумулятора (AC0, AC1);
- 16-разрядный регистр параметра денормализации (PDNR);
- 16-разрядный регистр кодов условий (CCR);
- Устройство управления ALU (ALU_CTRL).

Наличие в архитектуре ALU многопортового регистрового файла и нескольких операционных устройств (ОУ) делает возможным одновременное выполнение **до двух вычислительных операций и до двух операций пересылок**.

Операции, исполняемые блоками AU/LU/FASU, называются операциями типа **OP1**, операции, исполняемые блоками MS/SH/FMU, имеют тип **OP2**.

Все вычислительные операции и операции пересылок выполняются ALU за один такт (командный цикл). Новая команда может быть инициализирована на каждом такте.

Результат каждой арифметической операции может использоваться как исходный операнд для следующей операции.

Временная диаграмма взаимодействия RF с операционными устройствами (ОУ) ALU приведена на рис.3.2

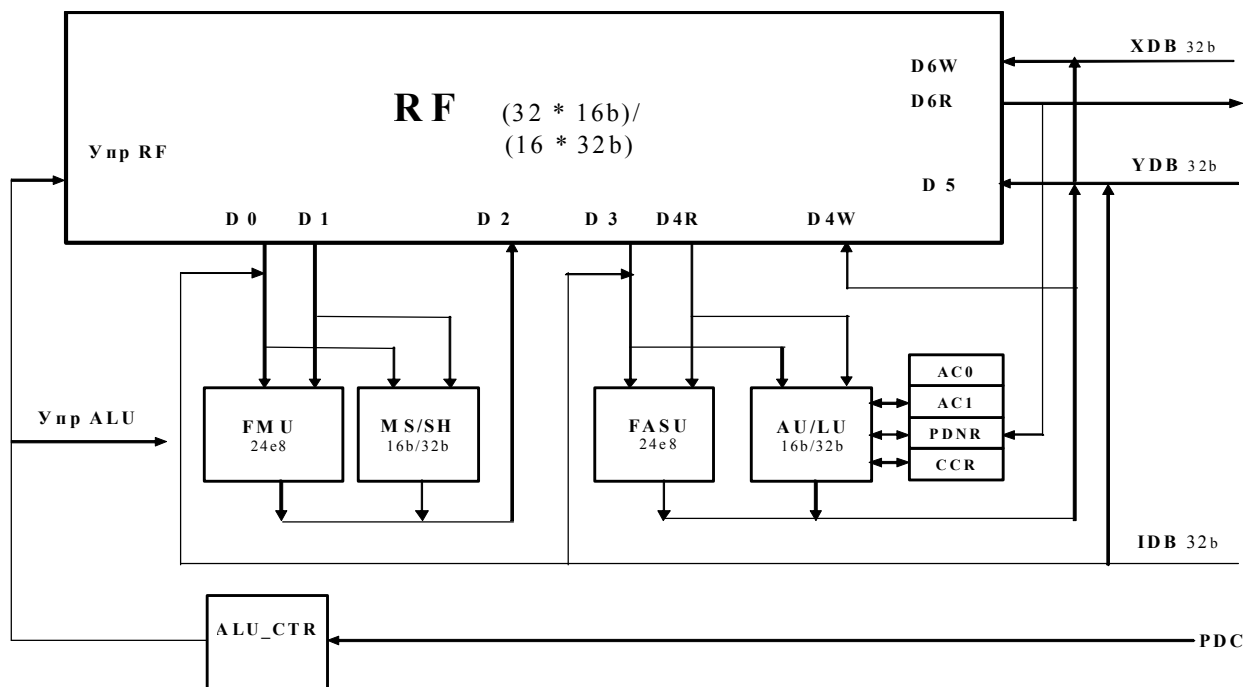


Рисунок 3.2 Структурная схема устройства ALU DSP-ядра Elcore-x6

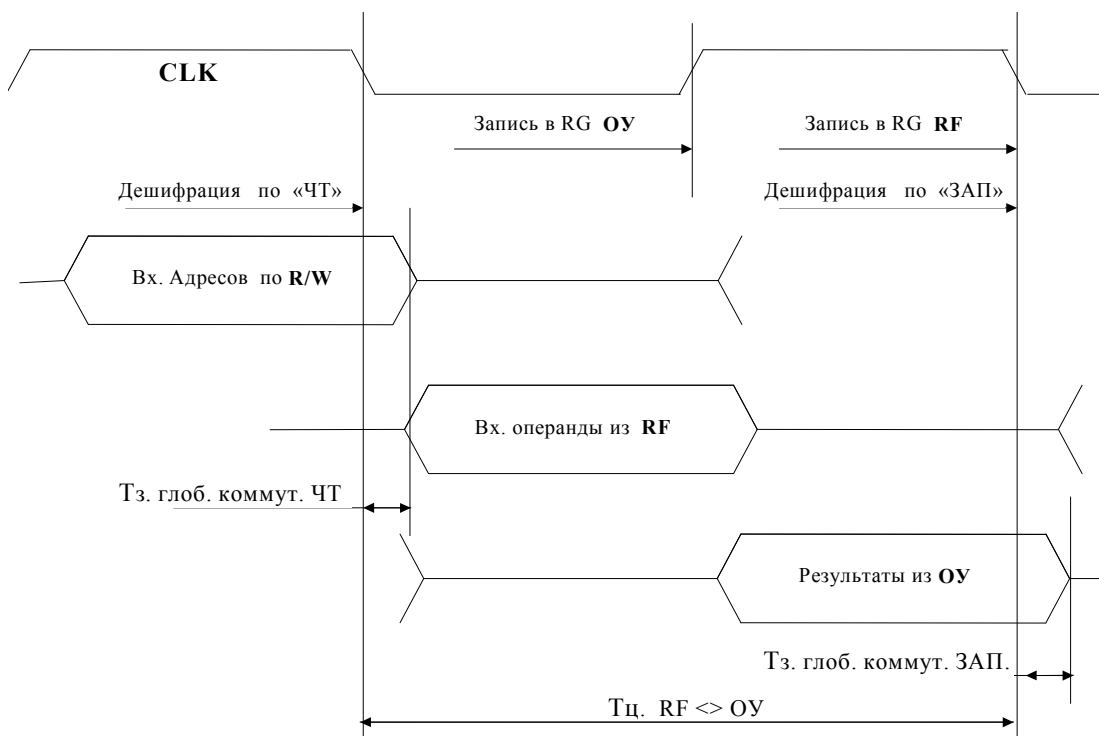


Рисунок 3.3 Временная диаграмма взаимодействия операционных устройств (OY) с регистровым файлом (RF).

3.3.1.1 Регистровый файл

Исходные операнды и результаты операций ALU хранятся в регистровом файле (RF), который представляет собой набор из 32-х программно-доступных 16-разрядных регистров R0–R31, которые могут конфигурироваться в 16 32-разрядных регистров.

Регистровый файл состоит из двух банков: нулевого банка с четными адресами регистров (R0, R2, ..., R30) и первого банка - с нечетными адресами (R1, R3, ..., R31). При 32-разрядных обращениях соответствующие регистры двух банков объединяются попарно и образуют 16 32-разрядных регистров, причем младшие 16 бит представлены в регистрах с четными номерами, старшие 16 бит - в регистрах с нечетными номерами (см. Таблица 3.1, Таблица 3.2).

Разрядность обращения определяется формируемым в командном слове признаком L: при L=0 происходит обращение к 16-разрядным операндам, при L=1 - к 32-разрядным. Признак L определяется разрядностью выполняемой операции. При 32-разрядных обращениях должен использоваться четный адрес регистра, соответствующий младшим 16 разрядам адресуемого операнда.

Таблица 3.1 Программная модель RF при 16-разрядных обращениях

L	Разрядность операнда	Адрес операнда	Старшие 16 бит операнда	Младшие 16 бит операнда
0	16	R0	-	R0[15: 0]
0	16	R1	-	R1[15: 0]
0	16	R2	-	R2[15: 0]
0	16	R3	-	R3[15: 0]
0	16	R4	-	R4[15: 0]
0	16	R5	-	R5[15: 0]
0	16	R6	-	R6[15: 0]
0	16	R7	-	R7[15: 0]
0	16	R8	-	R8[15: 0]
0	16	R9	-	R9[15: 0]
0	16	R10	-	R10[15: 0]
0	16	R11	-	R11[15: 0]
0	16	R12	-	R12[15: 0]
0	16	R13	-	R13[15: 0]
0	16	R14	-	R14[15: 0]
0	16	R15	-	R15[15: 0]
0	16	R16	-	R16[15: 0]
0	16	R17	-	R17[15: 0]
0	16	R18	-	R18[15: 0]
0	16	R19	-	R19[15: 0]
0	16	R20	-	R20[15: 0]
0	16	R21	-	R21[15: 0]
0	16	R22	-	R22[15: 0]
0	16	R23	-	R23[15: 0]
0	16	R24	-	R24[15: 0]
0	16	R25	-	R25[15: 0]
0	16	R26	-	R26[15: 0]
0	16	R27	-	R27[15: 0]
0	16	R28	-	R28[15: 0]
0	16	R29	-	R29[15: 0]
0	16	R30	-	R30[15: 0]
0	16	R31	-	R31[15: 0]

Таблица 3.2 Программная модель RF при 32-разрядных обращениях

L	Разрядность операнда	Адрес операнда	Старшие 16 бит операнда	Младшие 16 бит операнда
1	32	R0	R1[15: 0]	R0[15: 0]
1	32	R2	R3[15: 0]	R2[15: 0]
1	32	R4	R5[15: 0]	R4[15: 0]
1	32	R6	R7[15: 0]	R6[15: 0]
1	32	R8	R9[15: 0]	R8[15: 0]
1	32	R10	R11[15: 0]	R10[15: 0]
1	32	R12	R13[15: 0]	R12[15: 0]
1	32	R14	R15[15: 0]	R14[15: 0]
1	32	R16	R17[15: 0]	R16[15: 0]
1	32	R18	R19[15: 0]	R18[15: 0]
1	32	R20	R21[15: 0]	R20[15: 0]
1	32	R22	R23[15: 0]	R22[15: 0]
1	32	R24	R25[15: 0]	R24[15: 0]
1	32	R26	R27[15: 0]	R26[15: 0]
1	32	R28	R29[15: 0]	R28[15: 0]
1	32	R30	R31[15: 0]	R30[15: 0]

Регистровый файл имеет 10 32-разрядных портов - 5 портов записи и 5 портов чтения. Это позволяет одновременно выполнять до трех арифметических операций и до двух пересылок данных.

Доступ к данным регистрового файла со стороны DSP-ядра может производиться по нескольким внутренним шинам:

- По 32-разрядной шине данных XDB для передачи данных из памяти XRAM;
- По 32-разрядной шине данных YDB для передачи данных из памяти YRAM,
- По 32-разрядной шине IDB для непосредственных операндов.

3.3.1.2 Операционные устройства

Операционные устройства (ОУ) выполняют следующие операции:

Умножитель-сдвигатель для форматов с фиксированной точкой (MS/SH):

- операции умножения с целыми числами со знаком и без знака;
- операции умножения чисел со знаком в дробном формате с фиксированной точкой (fractional);
- операции много разрядного арифметического и логического сдвига в форматах с фиксированной точкой;

Умножитель для формата с плавающей точкой IEEE-754 (FMU):

- операции умножения чисел в формате с плавающей точкой IEEE-754;
- операции FIN (получение 8-разрядного приближения обратной величины);
- операции FINR (получение 8-разрядного приближения обратной величины квадратного корня).

Арифметическое устройство для форматов с фиксированной точкой (AU), включая логическое устройство (LU) и узел битовой обработки (BFU):

- арифметические операции в форматах с фиксированной точкой;
- преобразования форматов чисел;
- ограничение результатов с целью устранения выхода за пределы разрядной сетки (Saturation).

- логические операции;
- операции с битовыми полями;

Арифметическое устройство для формата с плавающей точкой IEEE-754 (FASU):

- арифметические операции в форматах с плавающей точкой;
- преобразования форматов чисел.

3.3.1.3 Регистр PDNR

Назначение разрядов в регистре PDNR приведено ниже.

PDNR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Esc	-	-	-	-	-	SC	Epdn	-	F	Cpdn					

где:

- **Cpdn** – текущий код PDN;
- **F (X/L)** – формат анализируемой информации в PDN (0 – 32 бит, 1 – 32 бит комплексная);
- **Epdn** – программный признак разрешения детектирования и изменения PDN (Epdn: 0 – нет разрешения, 1 – разрешение);
- **SC** – величина масштабирования результата в AU;
- **Esc** – признак разрешения масштабирования результата в AU (0 – нет разрешения, 1 – разрешение).

Начальное состояние регистра PDNR = 0x0000.

3.3.1.4 Регистр CCR

Регистр CCR предназначен для хранения признаков результатов вычислительных операций. Регистр CCR содержит два поля признаков: основное {Ev,U,N,Z,V,C} (разряды [5:0]) и дополнительное {Evm,Um,Nm,Zm,Vm,Cm} (разряды [15:10]). Поле признаков в младшем байте регистра CCR является основным, т.к. на его основе формируются условия исполнения команд.

Поля признаков формируются по следующим правилам:

- 1) При выполнении одной операции типа OP1 (AU/LU/FASU) ее признаки помещаются только в основное поле.
- 2) При выполнении одной операции типа OP2 (MS/SH/FMU) ее признаки помещаются в оба поля.

3) При одновременном выполнении двух вычислительных операций признаки, формируемые операцией типа OP1, поступают в основное поле, признаки операции типа OP2 - в дополнительное поле.

4) В тех случаях, когда операция типа OP1 заполняет только часть признаков в основном поле, оставшиеся признаки формируются операцией OP2.

Регистр CCR содержит также специальные признаки E, t и два управляющих разряда RND и S. Назначение разрядов в регистре CCR приведено ниже.

CCR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Evm	Um	Nm	Zm	Vm	Cm	RND	S	t	E	Ev	U	N	Z	V	C

где:

- **C** – признак переноса, сформированного в результате выполнения операции (0 – нет переноса, 1 – есть перенос);
- **V** – признак переполнения результата (0 – нет переполнения, 1 – есть переполнение);
- **Z** – признак нулевого результата (0 – результат не нулевой, 1 – результат нулевой);
- **N** – знак результата (0 – знак положительный, 1 – знак отрицательный);
- **U** – признак ненормализованного результата (0 – нормализованный результат, 1 – ненормализованный результат);
- **Ev** – запомненный ранее возникший признак переполнения результата (0 – не было переполнения, 1 – было переполнение);
- **E** – экспоненциальный признак (формируется командой CMPE);
- **t** – признак истинности условия после исполнения условной команды (t=0 – безусловная команда либо условие ложно; t=1 – условие истинно);
- **S** – бит включения режима насыщения результата (0 – отключение режима насыщения, 1 – включение режима насыщения);
- **RND** – бит управления режимом округления результата (0 – CR (Convergent Rounding), 1 – TCR (Two’s-Complement Rounding));
- **Cm** – признак переноса сформированного в результате выполнения операции OP2 (0 – нет переноса, 1 – есть перенос);
- **Vm** – признак переполнения результата операции OP2 (0 – нет переполнения, 1 – есть переполнение);
- **Zm** – наличие нулевого результата операции OP2 (0 – результат не нулевой, 1 – результат нулевой);
- **Nm** – значение знака результата операции OP2 (0 – знак положительный, 1 – знак отрицательный);
- **Um** – признак ненормализованного результата операции OP2 (0 – нормализованный результат, 1 – ненормализованный результат);
- **Evm** – запомненный ранее возникший признак переполнения результата операции OP2 (0 – не было переполнения, 1 – было переполнение);

Начальное состояние регистра CCR = 0x0000.

Стандартные определения признаков результата

Ниже приводятся стандартные правила формирования признаков результата вычислительной операции: **U**(unnormalized), **N**(negative), **Z**(zero), **V**(overflow), **C**(carry). Для отдельных операций некоторые признаки могут формироваться по иным специально оговоренным правилам. В дальнейшем при описании правил формирования признаков используются следующие обозначения: **msb** – номер старшего (знакового) разряда результата **D**, т.е. $msb=31$ для 32-разрядных чисел и $msb=15$ для 16-разрядных.

Кроме указанных основных признаков, при выполнении операций могут формироваться и некоторые дополнительные признаки, определение которых дается в описании регистра **CCR**.

Признак	Стандартные правила формирования признаков	
	Все вычислительные операции (кроме сдвига)	Операции сдвига: ASL, ASLL, ASLX, ASR, ASRL, ASRX, ASRLE, LSL, LSLX, LSR, LSRL, LSRX, ROL, ROLL, ROR, RORL
U	$U = 0$, если $D[msb] \neq D[msb-1]$; $U = 1$, если $D[msb] = D[msb-1]$;	
N	$N = D[msb]$;	
Z	$Z = 1$, если $D=0$; $Z = 0$, если $D \neq 0$;	
V	$V = 1$, если $D[msb+1] \neq D[msb]$; $V = 0$, если $D[msb+1] = D[msb]$;	$V = 0$, если все выдвинутые влево биты равны знаковому разряду N ; $V = 1$, иначе;
C	$C = Cout[msb]$, если режим Scaling выключен; $C = Cout[msb+1]$, если режим Scaling включен.	C принимает значения последнего из битов, выдвинутых за разрядную сетку результата $D[msb:0]$ вправо или влево, в зависимости от направления сдвига.

Пояснения.

Арифметическое устройство выполнено как полный 33-разрядный сумматор/вычитатель с дополнительным старшим разрядом под номером $msb+1$, используемым только для формирования признаков. На выход поступают 32 младших разряда результата $D[msb:0]$. Каждый из 33-х каскадов сумматора формирует как соответствующий бит результата $D[i]$, так и перенос в следующий разряд $Cout[i]$.

3.3.1.5 Регистры-аккумуляторы **AC0**, **AC1**

Регистры-аккумуляторы **AC0**, **AC1** являются специализированными 32-разрядными регистрами данных (адресно регистры **AC0**, **AC1** относятся к регистрам управления), предназначенными для накопления результата в операциях умножения с накоплением (**MAC**, **MAC2**, **MACL**, **MACX**, **SAC2**). В операциях **MAC**, **MACL** регистры **AC0**, **AC1** объединяются в один 64-разрядный регистр для получения 64-разрядного результата.

Начальное состояние $AC0 = AC1 = 0x00000000$.

3.3.2 Режимы работы **ALU**

В ряде случаев результат выполнения арифметической операции зависит не только от самой этой операции и исходных операндов, но и от установленного режима вычислений (способа формирования результата). К числу таких режимов относятся:

- Режимы (способы) округления (**Rounding**);
- Режим масштабирования (**Scaling**);
- Режим насыщения (**Saturation**);
- Режим отслеживания блочной экспоненты (**Block Floating Point Support**);

3.3.2.1 Округление (Rounding)

Округление (Rounding) может выполняться как самостоятельная операция (RNDL), либо в составе более сложных операций для преобразования 32-разрядного формата данных в 16-разрядный.

Перечень операций, в которых используется округление, приведен ниже.

<i>Long</i>	<i>Short</i>	<i>Complex</i>
Блок AU		
RNDL		
ADDLR		
SUBLR		
ADDLRTR		
SUBLRTR		
FTRL		

Округление может выполняться одним из двух способов: округление к ближайшему (convergent rounding) и округление дополнительного кода (two’s-complement rounding). Способ (режим) округления устанавливается 9-м разрядом (бит RND) регистра CCR.

3.3.2.1.1 Режим округления к ближайшему (Convergent Rounding)

Округление к ближайшему (также называется “к ближайшему четному числу”) – способ округления по умолчанию.

Традиционный метод округления округляет вверх при большем значении числа, чем половина, и округляет вниз для любого значения меньше, чем половина. Вопрос возникает только относительно того, как эта половина должна быть округлена. Если это всегда будет округляться одним способом, то результаты в конечном счете будут смещены в том же направлении.

Округление к ближайшему решает эту проблему так:

- Округление осуществляется в меньшую сторону, если число четное (младший бит равен нулю).
- Округление выполняется в большую сторону, если число нечетно (младший бит равен единице).

В результате алгоритм округления описывается следующим логическим выражением:

$$r = (\sim R[15] | (\sim R[16] \& R[15] \& (\sim (R[14:0])))) ? 0'b:1'b;$$

где: r - единица округления;
 R – округляемые данные.

3.3.2.1.2 Режим округления дополнительного кода (Two’s-Complement Rounding)

Все значения, большие или равные половине, округляются вверх, а все меньшие, чем половина, округлены в меньшую сторону.

В результате алгоритм округления описывается следующим логическим выражением:

$$r = (\sim R[15]) ? 0'b:1'b;$$

где: r - единица округления;
 R – округляемые данные.

3.3.2.2 Масштабирование (Scaling)

Масштабирование позволяет избежать переполнения при выполнении арифметических операций путем сдвига вправо полученного результата.

Этот режим может быть полезен, в частности, при реализации алгоритма БПФ с прореживанием по частоте (Decimation-In-Frequency), когда при выполнении операций сложения/вычитания над комплексными числами необходимо избежать переполнения на выходе сумматора. Масштабирование выполняется путем арифметического сдвига результата операции вправо на 0/1/2 бита, при этом величина сдвига определяется полем SC (разряды 9, 8) регистра PDNR.

Включение режима масштабирования осуществляется установкой в «1» бита 15 (Esc) регистра PDNR. Другой способ включения этого режима состоит в установке в «1» поля M непосредственно в командном слове (формат 8). Синтаксически это выражается в добавлении к мнемоническому имени команды суффикса “s”, например, ADDLs, SUBXs и т.п. Перечень операций, в которых может быть использован режим масштабирования, приведен ниже.

<i>Long</i>	<i>Short</i>	<i>Complex</i>
Блок AU		
ABSL	ABS	
NEGL	NEG	
ADDL	ADD	ADDX
SUBL	SUB	SUBX
ADCL	ADC	
ADC16L	AD1	
SBCL	SBC	
ADDSUBL	ADDSUB	ADDSUBX
RNDL		
ADDLR	ASH	
SUBLR	SAH	
ADDLRTR		
SUBLRTR		
FTRL		

3.3.2.3 Поддержка режима блочной экспоненты

Данный режим обеспечивает определение блочного порядка для массива данных в формате с фиксированной точкой, в частности, при выполнении алгоритма БПФ и заключается в аппаратном измерении так называемого **параметра денормализации** (PDN) массива.

Число D в формате с фиксированной точкой считается нормализованным, если у него знаковый и следующий за ним разряд не совпадают, т.е.

$$D[\text{msb}] \neq D[\text{msb}-1],$$

где msb – номер знакового разряда числа D: msb=31 для 32-разрядных чисел и msb=15 для 16-разрядных.

Параметр денормализации числа D определяется формулой:

$$\text{PDN} = \text{msb} - n - 1,$$

где n – номер старшего «значащего» разряда числа D, т.е. старшего из разрядов, не равных знаковому.

Для комплексных чисел PDN определяется как наименьшее из значений параметра денормализации отдельно для действительной и мнимой частей.

Для определения параметра денормализации *отдельных чисел*, представленных в различных форматах, в системе инструкций DSP-ядра ELcore_x4 имеются специальные операции: **PDN, PDNX, PDNL**.

Для определения параметра денормализации *массивов данных*, пересылаемых между регистровым файлом и памятью данных XRAM, предусмотрен **режим автоматического отслеживания блочной экспоненты**.

При этом под параметром денормализации массива понимается наименьшее значение PDN входящих в него чисел.

Режим автоматического отслеживания блочной экспоненты включается посредством установки в «1» бита 7 (Epdn) регистра PDNR, при этом 5-й бит регистра определяет тип анализируемых данных.

Результат измерения PDN помещается в поле Crpdn регистра PDNR.

3.3.2.4 Режим насыщения (Saturation)

Устройство ALU имеет режим работы с насыщением (Saturation), в котором производится ограничение результата сверху и снизу рамками разрешенного диапазона значений. Включение этого режима происходит под управлением 8-го бита (бит S) регистра CCR. Ниже приводится перечень операций, в которых может быть использован режим насыщения.

<i>Long</i>	<i>Short</i>	<i>Complex</i>
Блок MS		
		MPX
ASLL	ASL	ASLX
Блок AU		
ABSL	ABS	
NEGL	NEG	
ADDL	ADD	ADDX
SUBL	SUB	SUBX
ADCL	ADC	
ADC16L	AD1	
SBCL	SBC	
ADDSUBL	ADDSUB	ADDSUBX
RNDL		
ADDLR	ASH	
SUBLR	SAH	
ADDLRTR		
SUBLRTR		
FTRL		

Обработка режима насыщения.

Результаты операций в форматах с фиксированной точкой, имеющие знак, представлены **в дополнительном коде**. Включение режима насыщения подразумевает присвоение результату операции граничного значения в случае выхода результата за пределы разрешенного диапазона.

Ниже в таблице приводятся граничные значения для указанных типов чисел.

При выполнении насыщения знак результата сохраняется. Вырабатываются признаки переполнения - V, Ev.

Среди операций, использующих режим насыщения, имеются такие, при которых формируются более одного результата. Это парные операции ADDSUB, ADDSUBL, ASH, SAN и операции с комплексными числами – ADDX, SUBX, ADDSUBX, MPX, ASLX.

Насыщение для указанных операций выполняется по каждой компоненте независимо, с использованием компонентных признаков переполнения.

Граничные значения		Форматы		
		16 разрядов	32 разряда	64 разряда
Наименьшее значение	16-ричное представление	0x8000	0x80000000	0x8000000000000000
	дробное	-1.0	-1.0	-1.0
	целое	-2^{15}	-2^{31}	-2^{63}
Наибольшее значение	16-ричное представление	0x7FFF	0x7FFFFFFF	0x7FFFFFFFFFFFFFFF
	дробное	2^{-15}	$1 - 2^{-31}$	$1 - 2^{-63}$
	целое	$2^{15} - 1$	$2^{31} - 1$	$2^{63} - 1$

3.4 Устройства генерации адресов памяти данных (AGU, AGU-Y)

Общее пространство памяти данных DSP-ядра состоит из двух областей: X- и Y-памяти. Генерация адресов для памяти данных при внутренних обменах DSP осуществляется адресными генераторами - AGU и AGU-Y.

Устройства AGU, AGU-Y производят вычисление адресов, используя целочисленную 16-разрядную арифметику. При этом используется три типа арифметики: линейная, модульная и арифметика с обратным переносом. Устройства генерации адресов функционируют параллельно с другими ресурсами DSP, что обеспечивает высокую производительность обработки данных.

3.4.1 Архитектура AGU

Адресный генератор AGU формирует адрес XAB, обслуживающий память данных XRAM, а также, при определенных условиях, адрес YAB для памяти данных YRAM.

Блок-схема адресного генератора AGU приведена на Рисунок 3.4.

AGU содержит восемь наборов из трех регистров (триплетов), в число которых входят: регистр адреса An, регистр смещения In и регистр модификатора Mn ($n=0,1,\dots,7$).

AGU может модифицировать один адресный регистр из своего набора регистров в течение одного командного цикла. При этом содержание соответствующего регистра модификатора определяет тип используемой арифметики.

Входящее в состав адресного генератора арифметическое устройство AU содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения In;
- уменьшение на величину смещения In;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в соответствующем регистре модификатора Mn.

Третий полный сумматор, называемый сумматором обратного переноса, выполняет следующие операции модификации адреса с обратным направлением распространения переноса (от старших разрядов к младшим):

- увеличение на 1;
- уменьшение на 1;
- увеличение на величину смещения I_n ;
- уменьшение на величину смещения I_n ;

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

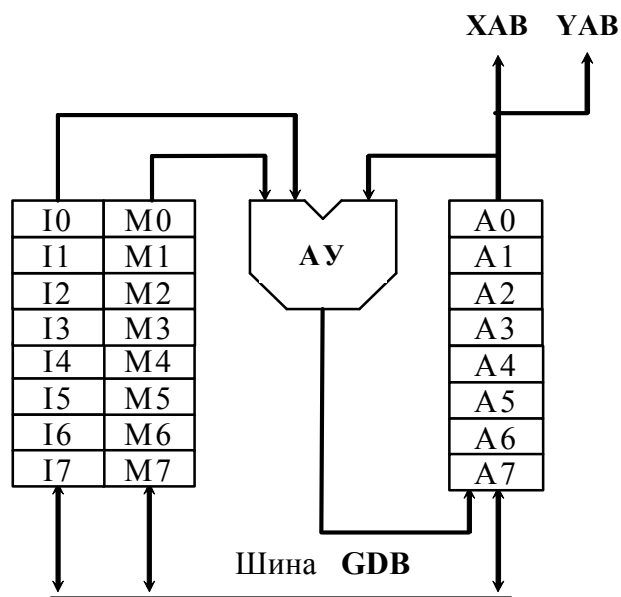


Рисунок 3.4 Блок-схема адресного генератора AGU

В состав AGU входят регистры адреса A0-A7, регистры смещения I0-I7 и регистры модификатора M0-M7. Регистры A_n , I_n , M_n , где $n=0, \dots, 7$, составляют триплет. Это означает, что при модификации адресного регистра A_n могут быть использованы только регистры, имеющие тот же индекс – I_n , M_n .

Восемь регистровых триплетов адресного генератора:

- A0:I0:M0
- A1:I1:M1
- A2:I2:M2
- A3:I3:M3
- A4:I4:M4
- A5:I5:M5
- A6:I6:M6
- A7:I7:M7

Запись или чтение каждого из указанных регистров осуществляются через глобальную шину данных (GDB) DSP.

3.4.2 Программная модель AGU.

С точки зрения программиста, адресный генератор AGU представляет собой восемь наборов по три регистра, как показано на Рисунок 3.5. Эти регистры могут использоваться для хранения адресных указателей или других данных. При косвенной адресации операндов в памяти автоматически включается механизм обновления адресных указателей. Адресные регистры могут быть запрограммированы для линейной адресации, модульной адресации или реверсивной адресации.

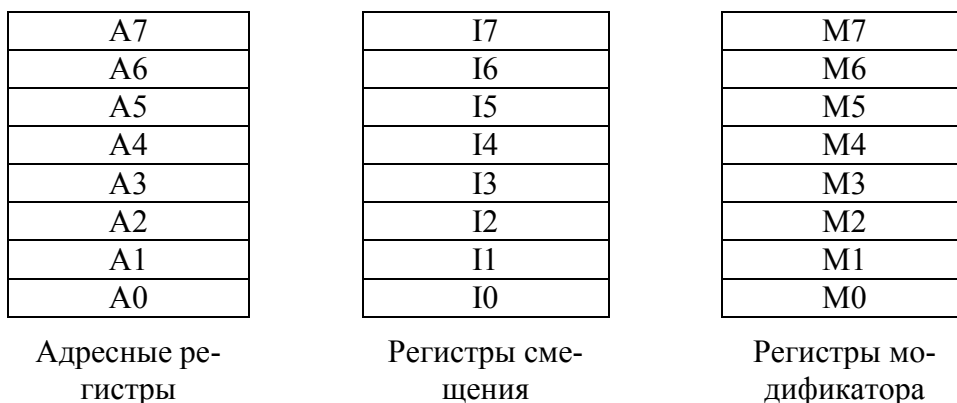


Рисунок 3.5. Программная модель AGU.

3.4.2.1 Адресный регистровый файл

Восемь 16-разрядных адресных регистров A0-A7 могут содержать адреса, либо произвольные данные. Содержимое адресного регистра может непосредственно указывать на данные в памяти либо используется для формирования указателя со смещением.

Адресный регистр обновляется после формирования адресного указателя (пост-модификация).

3.4.2.2 Регистровый файл смещений

Восемь 16-разрядных регистров смещений I0-I7 могут содержать значения смещений, используемых для инкрементации или декрементации адресных регистров при выполнении обновления адреса. Эти регистры могут также использоваться для хранения произвольных данных.

3.4.2.3 Регистровый файл модификаторов

Восемь 16-разрядных регистров модификаторов M0-M7 определяют тип адресной арифметики, применяемой при модификации адреса.

Адресные АЛУ поддерживают три типа арифметики: *линейную, модульную и арифметику с обратным переносом*. Для модульной арифметики содержимое регистров модификаторов определяет также модуль.

3.4.3 Архитектура AGU-Y

Адресный генератор AGU-Y формирует адрес YAB для памяти данных YRAM.

В каждой секции DSP имеется отдельное устройство AGU-Y для генерации адресов сегмента памяти YRAM соответствующей секции.

Блок-схема адресного генератора AGU-Y приведена на Рисунок 3.6.

AGU-Y содержит набор регистров, в число которых входят: регистры адреса AT, регистры смещения IT и DT регистр и модификатора MT.

AGU-Y может модифицировать адресный регистр AT в течение одного командного цикла. При этом содержание соответствующего регистра модификатора MT определяет тип используемой арифметики.

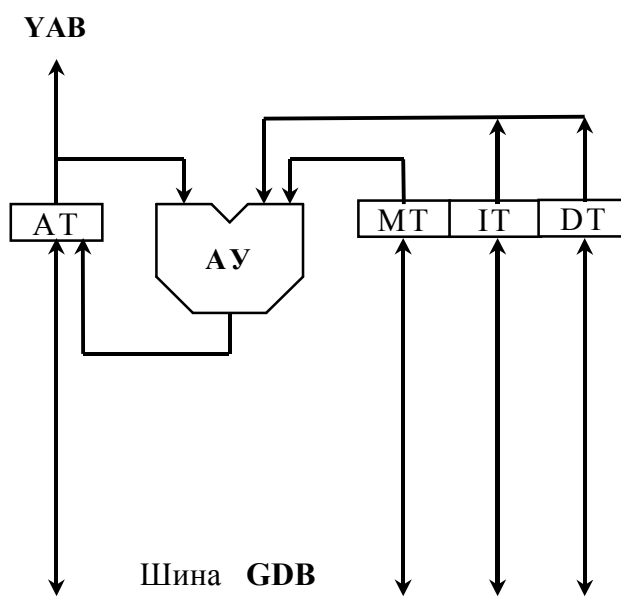


Рисунок 3.6 Блок-схема адресного генератора AGU-Y

Адрес, генерируемый AGU-Y, подается на адресную шину YAB.

Входящее в состав адресного генератора арифметическое устройство АУ содержит три сумматора.

Первый 16-разрядный полный сумматор, называемый сумматором смещения, выполняет следующие операции модификации адреса:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT;

Второй полный сумматор, называемый модульным сумматором, добавляет (или вычитает) к результату первого сумматора величину модуля, которая хранится в регистре модификатора MT.

Третий полный сумматор, называемый сумматором обратного переноса, может выполнять следующие операции модификации адреса с обратным направлением распространения переноса – от старших разрядов к младшим:

- увеличение на величину смещения IT;
- увеличение на величину смещения DT;

Сумматор смещения работает параллельно с сумматором обратного переноса и имеет с ним общие входы. Единственная разница между ними состоит в направлении распространения переноса. Управляющая логика определяет, результат которого из трех сумматоров является выходом адресного генератора.

В состав AGU-Y входят регистр адреса АТ, регистры смещения IT, DT и регистр модификатора МТ.

Запись или чтение каждого из указанных регистров осуществляется через глобальную шину данных (GDB) DSP.

3.4.4 Программная модель AGU-Y

С точки зрения программиста, адресный генератор представляет собой восемь наборов по три регистра (AALU1) и набор из четырех регистров (AALU2), как показано на Рисунки 3.7. Регистр МТ может быть запрограммирован для линейной адресации, модульной адресации или реверсивной адресации.



Рисунок 3.7 Программная модель AGU-Y.

3.4.5 Виды адресации

Применяются следующие виды (способы) адресации: прямая адресация (для регистров управления и данных), косвенная адресация (для памяти данных и программ), абсолютная адресация и адресация относительно программного счетчика (для программной памяти).

Прямая адресация используется при пересылках данных между регистрами данных или управления DSP-ядра.

Косвенная адресация используется при обменах с памятью данных.

Абсолютная адресация программной памяти и адресация программной памяти относительно программного счетчика используется при организации программных переходов и циклов.

Рассматриваемые в настоящем разделе адресные генераторы AGU, AGU-Y обеспечивают косвенную адресацию памяти данных.

Другие виды адресации обеспечиваются блоками, входящими в состав устройства программного управления PCU, рассматриваемого в следующем разделе:

- Прямая адресация регистров выполняется программным декодером PDC.
- Все виды адресации программной памяти обеспечиваются программным адресным генератором PAG.

Перечень используемых видов адресации приведен в Таблица 3.3.

3.4.5.1 Прямая регистровая адресация

Прямая регистровая адресация определяет, что операндом является один или более регистров данных или управления (включая регистры адресного генератора).

Операндом может быть один, два или три регистра, как это определяется соответствующей командой. Используемая при этом в команде ссылка называется регистровой ссылкой.

Пример: MOVE R7,CCR

R7 – регистровая ссылка на регистр данных R7 (ссылка типа R); CCR – регистровая ссылка на регистр управления CCR (ссылка типа C).

Таблица 3.3 Виды адресации

Виды адресации	Использование регистров AGU			Тип ссылки					Ассемблерный синтаксис	
	An (AT)	In (IT, DT)	Mn (MT)	C	R	P	X	Y		
Прямая регистровая адресация										
Регистр данных или управления	-	-	-	√	√					<имя регистра>
Косвенная регистровая адресация										
Отсутствие модификации адреса (XRAM)	+	-	-				√			(An)
Отсутствие модификации адреса (YRAM)	+	-	-					√		(AT)
Пост – инкремент на 1	+	-	+				√			(An) +
Пост – инкремент на In	+	+	+				√			(An) + In
Пост – инкремент на IT	+	+	+					√		(AT) + IT
Пост – инкремент на DT	+	+	+					√		(AT) + DT
Пост – декремент на 1	+	-	+				√			(An) -
Пост – декремент на In	+	+	+				√			(An) - In
Адресация со смещением на In (XRAM)	+	+	+				√			(An + In)
Адресация со смещением на IT (YRAM)	+	+	+					√		(AT + IT)
Непосредственное смещение	+	-	+				√			(displ)
Абсолютная адресация программной памяти										
Абсолютная прямая адресация	-	-	-				√			#I16
Абсолютная косвенная адресация	+	-	-				√			(An)
Адресация программной памяти относительно программного счетчика (PC)										
Относительная прямая адресация	-	-	-				√			PC + #I16
Относительная косвенная адресация	+	-	-				√			PC + An
Обозначения:										
C – ссылка на регистр управления RC;										
R – ссылка на регистр данных R;										
P – ссылка на память программ PRAM;										
X – ссылка на память данных XRAM;										
Y – ссылка на память данных YRAM;										

3.4.5.2 Виды адресация программной памяти

При формировании адреса программной памяти может использоваться абсолютная и относительная, прямая и косвенная адресация.

Абсолютная адресация программной памяти применяется в операциях программных переходов и циклов, использующих абсолютный адрес перехода – J, JD, JS, DO, DO_R.

Относительная адресация памяти программ применяется в операциях переходов и циклов, формирующих адрес перехода относительно программного счетчика PC – B, BD, BS, DOR, DOR_R. И абсолютная, и относительная адресация может быть либо прямой, когда адрес перехода задается непосредственным операндом, либо косвенной когда адрес перехода содержится в адресном регистре.

3.4.5.3 Косвенная адресация памяти данных

При косвенной адресации для указания на ячейку памяти (XRAM или YRAM) используется адресный регистр An, а в общем случае – группа регистров An, In, Mn, позволяющих по определенным правилам вычислить значение указателя. Используемые режимы генерации адреса приводятся ниже.

3.4.5.3.1 Отсутствие модификации адреса (An)

Адрес операнда содержится в адресном регистре. При выполнении команды значение адреса не изменяется.

3.4.5.3.2 Пост – инкремент на 1

Адрес операнда содержится в адресном регистре An. После использования адреса его значение увеличивается на 1 и сохраняется в том же адресном регистре. Тип используемой арифметики определяется соответствующим регистром модификатора. Регистр смещения не используется.

3.4.5.3.3 Пост – инкремент на In

Адрес операнда содержится в адресном регистре An. После использования адреса его значение увеличивается на величину смещения, содержащуюся в регистре In, и сохраняется в том же адресном регистре An. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра смещения не изменяется.

3.4.5.3.4 Пост – декремент на 1

Адрес операнда содержится в адресном регистре An. После использования адреса его значение уменьшается на 1 и сохраняется в том же адресном регистре. Тип используемой арифметики определяется соответствующим регистром модификатора. Регистр смещения не используется.

3.4.5.3.5 Пост – декремент на In

Адрес операнда содержится в адресном регистре An. После использования адреса его значение уменьшается на величину смещения, содержащуюся в регистре In, и сохраняется в том же адресном регистре An. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра смещения не изменяется.

3.4.5.3.6 Адресация со смещением на In

Адресом операнда является сумма значений, хранящихся в адресном регистре An и в регистре смещения In. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра адреса Rn и регистра смещения In остается неизменным.

3.4.5.3.7 Непосредственное смещение (An + displ)

Адресом операнда является сумма значений, хранящихся в адресном регистре An и непосредственного смещения, содержащегося в поле команды. Тип используемой арифметики определяется соответствующим регистром модификатора Mn. Содержимое регистра адреса An остается неизменным. Регистр смещения In не используется.

3.4.6 Типы адресной арифметики

Адресный генератор поддерживает четыре типа адресной арифметики:

- линейная,
- модульная,
- модульная с кратным обращением,
- арифметика с обратным переносом.

Предоставляемые возможности достаточны для организации в памяти структур данных типа очередей (FIFO), линий задержки, циклических буферов, стеков, буферов с обратным порядком адресации для реализации БПФ.

Работа с данными при этом сводится в большей степени к манипуляциям с адресами, чем к пересылкам больших блоков данных.

Тип используемой адресной арифметики определяется значением, хранящимся в регистре модификатора. Для модульной арифметики содержимое регистров модификаторов определяет также модуль. Каждый адресный регистр имеет один связанный с ним регистр модификатора.

Значения модификатора **Mn** и соответствующие им типы адресной арифметики указаны в Таблица 3.4.

Таблица 3.4 Типы адресной арифметики

Модификатор Mn	Адресная арифметика
\$0000	Арифметика с обратным переносом
\$0001	Модуль 2
\$0002	Модуль 3
...	...
\$7FFE	Модуль 32767 ($2^{15} - 1$)
\$7FFF	Модуль 32768 (2^{15})
\$8001	Модуль 2 с кратным обращением
\$8003	Модуль 4 с кратным обращением
\$8007	Модуль 8 с кратным обращением
...	...
\$9FFF	Модуль 2^{13} с кратным обращением
\$BFFF	Модуль 2^{14} с кратным обращением
\$FFFF	Линейная арифметика (Модуль 2^{16})
Остальные комбинации – резерв	

3.4.6.1.1 Линейная адресная арифметика (Mn = \$FFFF)

Модификация адреса выполняется с использованием обычной 16-разрядной линейной (по модулю 65536) арифметики. 16-разрядное смещение, In, +1 или -1 могут использоваться для вычисления адреса. Диапазон значений может рассматриваться как знаковый (от -32768 до +32767) либо как беззнаковый (от 0 до 65535), так как адресное ALU работает в обоих случаях одинаково.

3.4.6.1.2 Адресная арифметика с обратным переносом (Mn = \$0000)

Этот вариант адресной арифметики выбирается посредством установки регистра модификатора в 0. Модификация адреса в этом случае выполняется аппаратно с распространением переноса в обратном направлении – от старших разрядов к младшим.

Операция модификации адреса с обратным переносом эквивалентна последовательному выполнению следующих процедур:

- Изменению на обратный порядок следования разрядов в регистрах адреса и смещения (при этом старший бит становится младшим и т.д.);
- Модификации адреса посредством нормальной операции сложения;

- Возвращению первоначального порядка следования разрядов адреса.
- В случае, когда величина смещения составляет $2^{(k-1)}$ (целая степень двойки), такая модификация адреса эквивалентна:
- Обращению порядка следования к младших разрядов A_n ;
- Увеличению на 1;
- Возвращению исходного порядка следования к младших разрядов A_n .

Рассматриваемый режим адресной арифметики удобен при реализации алгоритма быстрого преобразования Фурье (БПФ).

3.4.6.1.3 Модульная адресная арифметика ($M_n = \text{Modulus} - 1$)

Модификация адреса выполняется по модулю M , где M - целое число в пределах от 2 до 32768. Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в регистре модификатора адреса. Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

$$base_addr = \{A_n[15:k], \{k\{0\}\}\};$$

$$base_addr \leq XAB \leq base_addr + M - 1;$$

Нижняя и верхняя границы диапазона определяются значением A_n . При этом необязательно устанавливать A_n равным базовому адресу. Достаточно того, чтобы величина A_n находилась в пределах требуемого диапазона.

Если при вычислении адреса в этом режиме используется смещение In , его величина не должна превышать M . Выходной адрес XAB для этого случая определяется формулой:

$$XAB = base_addr + (A_n[k-1:0] \pm In)_{\text{mod}M};$$

Рассматриваемый тип адресной арифметики удобен при организации циклических буферов для реализации на их основе структур данных типа очередей (FIFO), линий задержки и т.п.

3.4.6.1.4 Кратная модификация адреса по модулю

Этот тип адресной арифметики выбирается посредством установки в «1» 15-го разряда регистра модификатора M_n , как это показано в табл.4.2

Модификация адреса выполняется по модулю M , где M - степень двойки в пределах от 2^1 до 2^{14} . Арифметика по модулю M вынуждает значение адреса оставаться в пределах диапазона значений, отличающихся друг от друга не более чем на $M-1$.

Величина $M-1$ хранится в младших 15-ти разрядах регистра модификатора адреса M_n . Нижняя граница диапазона (базовый адрес) должна иметь нули в младших k разрядах, где $2^k \geq M$. Верхняя граница диапазона определяется как сумма нижней границы и модуля минус единица (базовый адрес + $M - 1$).

Выходной адрес XAB и границы диапазона определяются по тем же формулам, что и при обычной модульной арифметике:

$$XAB = base_addr + (A_n[k-1:0] \pm In)_{\text{mod}M};$$

$$base_addr = \{A_n[15:k], \{k\{0\}\}\};$$

$$base_addr \leq XAB \leq base_addr + M - 1;$$

Отличие состоит в том, что для данного типа адресной арифметики величина смещения In может быть произвольной.

3.4.7 Режимы адресации

3.4.7.1 Режимы адресации AGU

Виды адресации AGU сведены в Таблица 3.5. Режим адресации определяется полем “mode” командного слова.

Таблица 3.5 Виды адресации памяти данных

Номер режима Адресации	Обозначение	Пояснение
0	-	Отмена пересылки
1	(An)	Косвенная
2	(An)+	Пост - автоинкремент
3	(An)-	Пост – автодекремент
4	(An)+In	Пост - автоувеличение
5	(An)-In	Пост – автоуменьшение
6	(An+In)	Индексирование (An не меняется)
7	(An+dspl)	С непосредственным смещением (A не меняется)

Примечание. По установленному признаку “u” в командном слове вычисляется исполнительный адрес без выполнения самой пересылки.

3.4.7.2 Режимы адресации AGU-Y

Режимы адресации AGU-Y сведены в Таблица 3.6. Режим адресации определяется полем “AT” командного слова и управляющим параметром YM (11-й разряд регистра SR).

Таблица 3.6 Виды адресации памяти YRAM

Код режима Адресации	YM	Обозначение	Пояснение
00	X	-	Отмена пересылки
01	X	(AT)	Косвенная
10	X	(AT)+IT	Пост – автоувеличение
11	0	(AT)+IT	Индексирование (An не меняется)
11	1	(AT)+DT	Пост – автоувеличение

Выбор адресной арифметики для памяти YRAM определяется состоянием регистра MT в соответствии с правилами, описанными в предыдущем разделе.

3.5 Устройство программного управления (PCU)

В настоящем разделе рассматривается устройство программного управления (PCU) и работа программного конвейера DSP.

3.5.1 Назначение и состав PCU

Устройство программного управления PCU контролирует выборку команд, их декодирование, аппаратно поддерживает организацию цикла DO. Программная модель PCU содержит следующие регистры:

- Регистр управления и состояния DCSR – 16 бит, чтение/запись;
- Программный счетчик PC – 16 бит, чтение/запись;
- Регистр состояния SR – 16 бит, разряды [7:0] – только чтение, разряды [15:8] – чтение/запись;

- Регистр-идентификатор IDR – 16 бит, доступен только по чтению;
- Регистр управления DMA DMAR – 16 бит, доступен по записи и чтению;
- Регистр флагов обмена EFR – 32 бит, доступен только по чтению;
- Регистр адреса окончания цикла LA – 16 бит, чтение/запись;
- Регистр счетчика циклов LC – 16 бит, чтение/запись;
- Системный стек SS – 16 бит, чтение/запись;
- Стек циклов CSH – 16 бит, чтение/запись;
- Стек циклов CSL – 16 бит, чтение/запись;
- Регистр указателей стека SP – 16 бит, чтение/запись;
- Счетчик команд CNTR – 16 бит, чтение/запись;
- Восемь регистров адреса останова SAR, SAR1-SAR – 16 бит, чтение/запись.

Кроме того, устройство PCU содержит системный стек (SS) и стек циклов (CS). В дополнение к стандартным ресурсам программного управления – операциям программных переходов и ветвления – поддерживается механизм программных циклов DO.

Системный стек SS представляет собой внутреннюю последовательно адресуемую память объемом 15 16-разрядных слов, используемую для автоматического сохранения содержимого регистра программного счетчика PC при входе в подпрограмму или в программный цикл (DO, DOFOR).

Стек циклов CS предназначен для сохранения содержимого регистров счетчика цикла и адреса окончания цикла (LC и LA) при организации вложенных программных циклов. Каждая 32-разрядная ячейка стека адресуется как два 16-разрядных регистра – верхний CSH и нижний CSL регистры стека. Адресация стеков осуществляется при помощи регистра указателей стека SP.

Другие данные могут сохраняться в стеках и считываться из них при соответствующих обращениях. Стеки участвуют в обменах как 16-разрядные регистры управления – SS, CSL и CSH.

Устройство PCU управляет режимами работы DSP-ядра. DSP-ядро всегда находится в одном из трех возможных состояний (режимов):

- режим сброса (RESET);
- режим останова (STOP);
- режим выполнения программы (RUN).

В штатном режиме функционирования устройство PCU организует выполнение инструкций при помощи программного конвейера, включающего три фазы.

3.5.2 Архитектура PCU

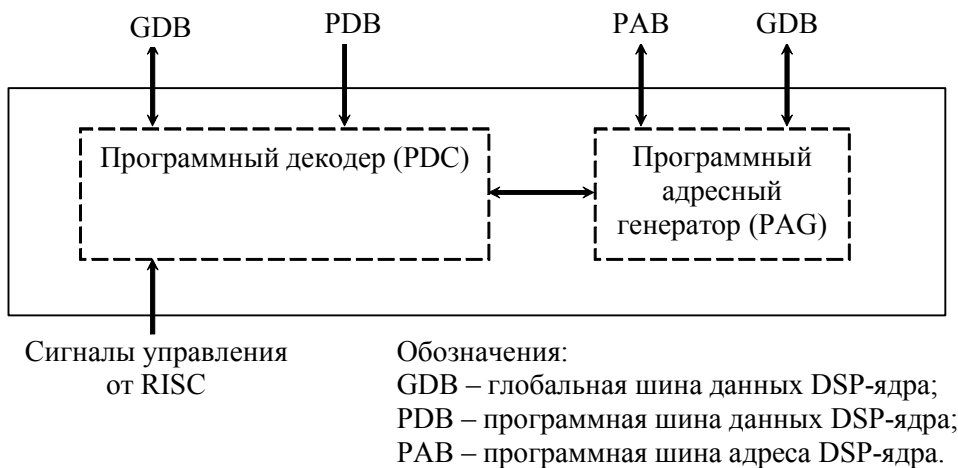
Устройство PCU включает в себя два аппаратных блока:

- Программный адресный генератор PAG;
- Программный декодер PDC.

Устройство PDC декодирует инструкции, поступающие из программной памяти, и генерирует сигналы управления программным конвейером.

Программный адресный генератор PAG выполняет вычисление адреса инструкции в программной памяти, организует выполнение программных циклов DO и операции REPEAT, управляет работой системного стека.

Ниже приведена структурная схема PCU.



3.5.3 Программный конвейер

Устройство программного управления организует конвейерный механизм исполнения инструкций DSP-ядра.

Программный конвейер включает в себя четыре стадии (фазы): стадию формирования адреса инструкции (Instruction Address), стадию выборки инструкции из программной памяти (Instruction Fetch), стадию декодирования команды (Decode), стадию исполнения (Execute).

Конвейеризация выполнения инструкций приводит к тому, что в один и тот же момент времени происходит обработка нескольких инструкций, находящихся в разных стадиях исполнения.

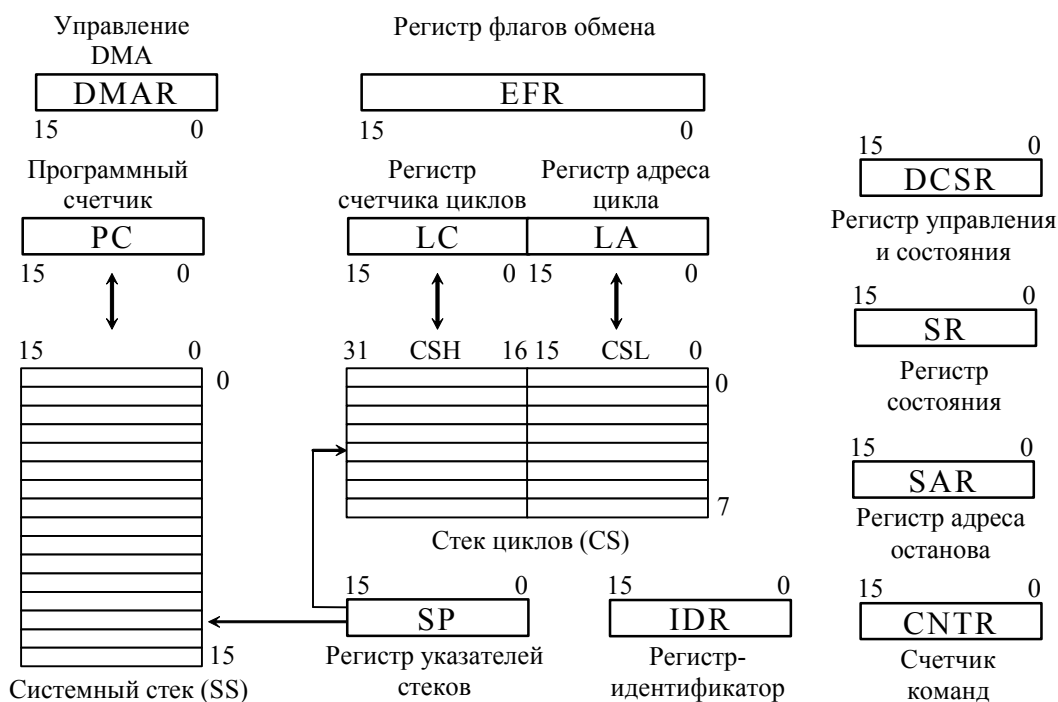
Для большинства инструкций скорость их выполнения в конвейерном режиме составляет одну инструкцию в течение одного командного цикла. Исключение составляют инструкции программных переходов.

Полная информация о времени выполнения различных типов инструкций содержится в документе «*DSP-ядро ELcore_xб. Система инструкций*».

3.5.4 Программная модель PCU

Устройство PCU содержит регистры LA и LC, предназначенные для аппаратной поддержки программного цикла DO, а также стандартные ресурсы программного управления, такие как программный счетчик PC, регистр состояния SR, стек циклов CS и системный стек SS. Все регистры доступны как по записи, так и по чтению, что облегчает отладку системы.

Программная модель PCU представлена на рисунке ниже. Далее дается описание назначения всех программно-доступных регистров и стеков.



3.5.4.1 Регистр-идентификатор (IDR)

Регистр-идентификатор IDR содержит код версии DSP-ядра согласно приводимой ниже таблице. Доступен только по чтению.

IDR[15:0]	Модификация DSP-ядра
0x0115	DSP-ядро ELcore 26
Другие коды	Другие модификации DSP-ядра

3.5.4.2 Регистр управления и состояния (DCSR)

Регистр управления и состояния (DCSR) содержит разряды управления, определяющие состояние и режим работы DSP-ядра, а также прерывания, формируемые DSP для обработки в CPU. Назначение разрядов регистра DCSR указано ниже.

DCSR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RST	RUN	-	DBG	-	-	-	-	-	-	-	WT	STP	BRK	SE	PI

RST – программный RESET;	STP – прерывание по останову STOP;
RUN - состояние исполнения программы;	BRK – прерывание по останову BREAK;
DBG – режим отладки;	SE – прерывание по ошибке стека SE;
WT – состояние ожидания	PI – программное прерывание PI.

Начальное состояние DCSR = 0x0000.

3.5.4.2.1 Флаг прерывания PI

Флаг прерывания PI (программное прерывание) устанавливается в «1» в случае наличия программного прерывания со стороны DSP. Это прерывание формируется исполняемой программой DSP при помощи команды пересылки данных MOVE DSP-ядра. После обработки прерывания в CPU этот бит может быть снова установлен в «0» как по команде DSP, так и по команде CPU.

3.5.4.2.2 Флаг прерывания SE

Флаг прерывания SE (ошибка стека) устанавливается в «1» в случае наличия признака ошибки одного из стеков DSP (разряды SSE или CSE регистра указателя стека SP). Это прерывание формируется при выходе указателя стека за пределы разрешенных значений. После обработки прерывания в CPU этот бит может быть снова установлен в «0» по команде CPU.

3.5.4.2.3 Флаг прерывания BRK

Флаг прерывания BRK (останов “BREAK”) устанавливается в «1» в случае останова DSP по одной из следующих причин:

- 1) по достижении адреса останова при исполнении программы до адреса останова;
- 2) по завершении требуемого числа шагов при пошаговом исполнении программы.

3.5.4.2.4 Бит прерывания STP

Бит прерывания STP (останов “STOP”) устанавливается в «1» в случае останова DSP-ядра при исполнении команды STOP DSP.

Этот бит также может быть использован для останова DSP-ядра под управлением CPU (путем установки его в «1»).

3.5.4.2.5 Флаг состояния ожидания WT

Бит WT=DCSR[4] указывает на то, что DSP находится в состоянии ожидания при обращении к XBUF. Одновременная установка в DSP0 и DSP1 бит WT=1 (то есть зависание программы) вызывает прерывание WSE в CPU.

3.5.4.2.6 Бит DBG

Этот бит (совместно с битом RUN) используется для запуска исполнения программы DSP-ядра в режиме отладки.

3.5.4.2.7 Бит RUN

Управление состоянием DSP-ядра производится при помощи управляющего бита RUN (разряд 14 регистра DCSR).

Установка бита RUN в «1» переводит DSP-ядро в состояние исполнения программы, установка в «0» - в состояние останова. Подробно состояния DSP-ядра рассматриваются в следующем разделе.

3.5.4.2.8 Бит RST

Установка DSP-ядра в начальное состояние (состояние RESET) может быть произведена посредством записи «1» в бит RST (разряд 15 регистра DCSR).

Переход DSP-ядра в начальное состояние происходит в течение одного командного цикла, после чего бит RST автоматически сбрасывается в «0».

3.5.4.3 Регистр программного счетчика (PC)

Регистр программного счетчика PC предназначен для хранения 16-разрядного адреса инструкции в программной памяти. Инкрементированное значение PC заносится в системный стек при инициализации нового программного цикла DO, DOFOR и при входе в подпрограмму.

Начальное состояние PC = 0x0000.

3.5.4.4 Регистр управления DMA (DMAR)

Регистр DMAR предназначен для управления DMA-обменами и имеет следующую структуру:

DMAR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DE7	DE6	DE5	DE4	DE3	DE2	DE1	DE0	M7	M6	M5	M4	M3	M2	M1	M0

DE7- запуск DMA (7 канал);

M7- маска запуска DSP со стороны DMA (7 канал);

DE6- запуск DMA (6 канал);

M6- маска запуска DSP со стороны DMA (6 канал);

DE5- запуск DMA (5 канал);

M5- маска запуска DSP со стороны DMA (5 канал);

DE4- запуск DMA (4 канал);

M4- маска запуска DSP со стороны DMA (4 канал);

DE3- запуск DMA (3 канал);

M3- маска запуска DSP со стороны DMA (3 канал);

DE2- запуск DMA (2 канал);

M2- маска запуска DSP со стороны DMA (2 канал);

DE1- запуск DMA (1 канал);

M1- маска запуска DSP со стороны DMA (1 канал);

DE0- запуск DMA (0 канал);

M0- маска запуска DSP со стороны DMA (0 канал);

Начальное состояние DMAR = 0x0000.

3.5.4.5 Регистр флагов обмена (EFR)

Регистр флагов обмена (EFR) – 32 бит, только чтение, предназначен для отображения состояния обменов через XBUF. Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Данный регистр используется при синхронном режиме обмена с XBUF.

Начальное состояние EFR=0x00000000.

3.5.4.6 Регистр состояния (SR)

Разряды [7:0] регистра SR доступны только по чтению, остальные - по записи/чтению.

Назначение разрядов регистра SR указано ниже.

SR:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SI	SRSI		BC	YM	-	-	SW	t	E	Ev	U	N	Z	V	C

SI – признак режима SIMD; C – перенос;
 SRSI – способ формирования интегральных V – признак переполнения;
 признаков в режиме SIMD; Z - признак нулевого результата;
 BC - признак режима “BroadCasting”, т.е. N - признак отрицательного результата;
 одновременной загрузки памяти данных U - признак ненормализованного результата;
 всех секций DSP-ядра; Ev- флаг переполнения (с сохранением);
 YM – режим адресации памяти YRAM; E – экспоненциальный признак;
 SW – режим перекрестного обращения к t – признак истинности последнего условия.
 памяти данных в режиме SIMD;

Разряды [7:0] регистра SR содержат интегральные признаки предыдущей арифметической операции.

Эти интегральные признаки формируются на основе соответствующих кодов, вырабатываемых в вычислительных секциях ALU0, ALU1 и хранящихся в секционных регистрах кодов условий CCR0, CCR1 в зависимости от управляющего кода SRSI (разряды 14-13 регистра SR) согласно приводимой ниже таблице.

В скалярном режиме разряды 0-7 регистра SR совпадают с соответствующими разрядами регистра CCR0 0-й секции ALU. Разряд 12 регистра SR (бит BC) предназначен для установки режима BroadCasting (BC=1), при котором загружаемые со стороны RISC-ядра или DMA данные записываются в соответствующие ячейки памяти данных (XRAM или YRAM) одновременно всех секций DSP.

SRSI[14:13]	Алгоритм определения CCR
00	Использование CCR0 нулевой секции
01	Объединение секционных CCR0,1 по “И”
10	Объединение секционных CCR0,1 по “ИЛИ”
11	Резерв

Разряд 11 регистра SR (бит YM) предназначен для выбора режима адресации генератора AGU-Y. Разряд 15 регистра SR предназначен для выбора режима SIMD (SR[15]=1) либо SCALAR (SR[15]=0).

При начальной установке все разряды регистра SR обнуляются.

3.5.4.7 Регистр счетчика циклов (LC)

Регистр счетчика циклов содержит:

- 1) Текущее значение 14-разрядного счетчика программных циклов Nc – разряды 0-13 регистра LC;
- 2) LF – Флаг цикла DO – разряд 14 регистра LC ;
- 3) FV - Флаг цикла DOFOR – разряд 15 регистра LC.

Формат регистра LC приведен ниже.

LC:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FV	LF	Nc													

Начальное состояние LC = 0x0000.

Значение счетчика программных циклов Nc определяет количество повторений программного цикла DO, в пределах от 1 до $(2^{14} - 1)$. Этот регистр заносится в верхнюю (старшую) половину стека циклов CSL по команде DO (образуется вложенный программный цикл) и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

Флаг цикла DO (LF) устанавливается в «1» в случае выполнения команды DO. Бит LF сохраняется в стеке при инициализации другого программного цикла. При окончании программного цикла происходит выталкивание из стека этого флага. Такой механизм позволяет организовывать вложенные циклы.

Флаг цикла выталкивается из стека при завершении цикла.

Исполнение программного цикла начинается с команды DO и продолжается до тех пор, пока адрес выбранной команды не сравнивается с содержимым регистра адреса цикла (последним адресом программного цикла).

После этого содержимое счетчика циклов сравнивается с единицей: если оно не равно (единице), то значение счетчика уменьшается на один и "верхнее" слово стека считывается в PC, не извлекаясь при этом из стека, для того чтобы возвратиться в начало цикла.

Если же содержимое счетчика циклов равно единице, то это означает, что программный цикл завершен. При этом прибавляется единица к содержимому PC, флаг предыдущего цикла считывается из верхнего слова соответствующего стека в регистры LC, LA и PC, сами стеки очищаются (т.е. выталкивается верхнее слово и заменяется его содержимое) из него извлекаются предыдущие значения (регистров) LA и LC и восстанавливаются в соответствующих регистрах.

По завершении цикла флаг цикла, LA и LC регистры, также как и указатели стеков, восстанавливаются.

Флаг цикла DOFOR (FV) устанавливается в «1» в случае выполнения команды DOFOR.

Бит FV сохраняется в системном стеке при вызове подпрограммы или инициализации другого программного цикла. При выходе из подпрограммы или окончании программного цикла происходит выталкивание из стека этого флага. Такой механизм позволяет организовывать вложенные циклы.

3.5.4.8 Регистр адреса цикла (LA)

Регистр адреса цикла (LA) является специализированным 16-разрядным регистром, содержащим адрес последней инструкции в программном цикле DO. Этот регистр заносится в верхний стек SS по команде DO и извлекается обратно по окончании вложенного цикла либо по команде ENDDO.

3.5.4.9 Системный стек (SS)

Системный стек (SS) представляет собой специализированный модуль памяти объемом 16 слов по 16 разрядов. Системный стек используется для хранения состояния программного счетчика при вызовах подпрограмм и при организации программных циклов.

При входе в подпрограмму (т.е. при выполнении команд JS, BS) адрес возврата автоматически сохраняется в SS.

При возврате из подпрограммы по команде RTS содержимое верхней ячейки SS загружается обратно в PC.

Стек используется также при реализации вложенных программных циклов DO, DOFOR. При входе в программный цикл DO адрес первой инструкции программного цикла сохраняется в SS.

Глубина стека – 15 слов по 16 разрядов (16-е слово не используется) – определяет количество вложенных процедур.

Всего могут быть вложенными друг в друга до семи программных циклов, либо до пятнадцати подпрограмм, либо их различные комбинации.

Адрес ячейки стека, к которой производится обращение, определяется 4-разрядным указателем стека SP[3:0], хранящемся в регистре указателя стека SP. При этом адрес записи совпадает с текущим значением указателя, адрес чтения на единицу меньше. Все внутренние обращения к стеку (т.е. обращения, происходящие по командам DSP) приводят к изменению указателя: при записи он инкрементируется, при чтении – декрементируется. Внешние обращения к стеку, т.е. обращения со стороны RISC-процессора или устройства отладки OnCD, не изменяют значение указателя.

При выходе значения указателя стека за разрешенные пределы формируется флаг “ошибка стека” SSE.

3.5.4.10 Стек цикла (CS)

Стек цикла (CS) представляет собой специализированный модуль памяти объемом 8 слов по 32 разряда. Стек состоит из двух половин объемом каждая $8 * 16$ – верхней CSH и нижней CSL. Стек цикла используется для хранения содержимого регистров LA и LC при организации вложенных программных циклов.

При входе в программный цикл DO предыдущее содержимое регистра счетчика циклов (LC) автоматически сохраняется в CSH, а предыдущее содержимое регистра адреса цикла (LA) автоматически сохраняется в CSL и инкрементируются соответствующие указатели стеков SP. (Адрес первой инструкции программного цикла DO сохраняется в SS).

Глубина стека – 7 слов по 32 разряда (8-е слово не используется) – определяет количество вложенных циклов. Всего могут быть вложенными друг в друга до семи программных циклов DO.

Адрес ячейки стека, к которой производится обращение, определяется 3-разрядным указателем стека CP[2:0], хранящемся в регистре указателя стека SP. При этом адрес записи совпадает с текущим значением указателя, адрес чтения на единицу меньше. Все внутренние обращения (т.е. обращения, происходящие по командам DSP) к стеку CSH приводят к изменению указателя: при записи он инкрементируется, при чтении – декрементируется. Внешние обращения к стеку CSH, т.е. обращения со стороны RISC-процессора или устройства отладки OnCD, не изменяют значение указателя. Также не влияют на значение указателя любые обращения к стеку CSL.

При выходе значения указателя стека за разрешенные пределы формируется флаг “ошибка стека” CSE.

3.5.4.11 Регистр указателей стека (SP)

Регистр указателей стека SP содержит указатели на последнее записанное в стеки SS, CSH слово. Младший байт регистра SP содержит указатель и флаги системного стека; старший байт - указатель и флаги стека циклов.

Назначение разрядов регистра SP указано ниже.

SP:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	UFC	CSE	CP[2:0]			-	-	UFS	SSE	SP[3:0]			

CP[2:0] – указатель стека циклов;

CSE – флаг ошибки стека циклов;

UFC – флаг переполнения стека циклов .

Начальное состояние SP = 0x0000.

SP[2:0] – указатель системного стека;

SSE – флаг ошибки системного стека;

UFS – флаг переполнения системного стека.

Значения указателей и флагов приведены в Таблица 3.7, Таблица 3.8.

3.5.4.11.1 Указатель системного стека (SP[3:0])

Указатель системного стека - разряды SP[3:0] регистра SP указывают на последнюю занятую ячейку стека SS. По сигналу ALU начальной загрузки (RESET) эти разряды устанавливаются в нулевое состояние, показывая, что стек пуст.

Данные поступают в стек с одновременной инкрементацией указателя. Выборка данных из стека сопровождается декрементацией указателя.

3.5.4.11.2 Флаг ошибки системного стека (SSE)

Флаг ошибки стека (разряд SSE регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений.

При заполненном системном стеке значение, хранящееся в разрядах [5:0] SP, равно 001111. Попытка записи данных в системный стек в этом случае приводит к возникновению “ошибки стека” и переходу SP[5:0] в состояние 010000.

Любая операция выборки из пустого стека (SP=0) приводит его в состояние 111111. В этом случае флаг ошибки стека SSE также устанавливается в “1”.

После перехода в состояние “1” флаг ошибки стека сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

Таблица 3.7 Разрешенные значения указателя системного стека

UFS	SSE	SP3	SP2	SP1	SP0	Описание
1	1	1	1	1	1	Переполнение стека «вниз»
0	0	0	0	0	0	Стек пуст. Попытка чтения приводит к переполнению стека «вниз»
0	0	0	0	0	1	Ячейка стека 1
.	Ячейки стека 2-13
0	0	1	1	1	0	Ячейка стека 14
0	0	1	1	1	1	Ячейка стека 15. Стек полон. Попытка записи приводит к переполнению стека «вверх»
0	1	0	0	0	0	Переполнение стека «вверх»

3.5.4.11.3 Флаг исчерпания системного стека (UFS)

Флаг исчерпания системного стека (разряд UFS регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений «вниз», т.е. попытку считать из пустого стека. При этом одновременно флаг ошибки стека переходит в состояние “1”.

После перехода в состояние “1” флаг переполнения стека сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

3.5.4.11.4 Указатель стека циклов (CS[2:0])

Указатель стека циклов - разряды CS [2:0] регистра SP указывают на последнюю занятую ячейку стека циклов CS. По сигналу начальной загрузки (RESET) эти разряды устанавливаются в нулевое состояние, показывая, что стек пуст.

Данные поступают в стек циклов с одновременной инкрементацией указателя CS. Выборка данных из стека сопровождается декрементацией указателя.

3.5.4.11.5 Флаг ошибки стека циклов (CSE)

Флаг ошибки стека (разряд CSE регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений (см. табл.6.5.2).

При заполненном стеке значение, хранящееся в разрядах [12:8] SP, равно 00111. Попытка записи данных в стек в этом случае приводит к возникновению “ошибки стека” CSE и переходу SP[12:8] в состояние 01000.

Любая операция выборки из пустого стека циклов (CS=0) приводит его в состояние 11111. В этом случае флаг ошибки стека циклов CSE устанавливается в “1”.

После перехода в состояние “1” флаг ошибки стека циклов сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

Таблица 3.8 Разрешенные значения указателя стека циклов

UFC	CSE	CS2	CS1	CS0	Описание
1	1	1	1	1	Переполнение стека циклов «вниз»
0	0	0	0	0	Стек циклов пуст. Попытка чтения приводит к переполнению стека «вниз»
0	0	0	0	1	Ячейка стека циклов 1
.	Ячейки стека циклов 2-5
0	0	1	1	0	Ячейка стека циклов 6
0	0	1	1	1	Ячейка стека 7. Стек циклов полон. Попытка записи приводит к переполнению стека «вверх»
0	1	0	0	0	Переполнение стека циклов «вверх»

3.5.4.11.6 Флаг исчерпания стека циклов - (UFC)

Флаг исчерпания стека циклов (разряд UFC регистра SP) в состоянии «1» указывает на выход указателя стека за пределы разрешенных значений «вниз», т.е. попытку считать из пустого стека. При этом одновременно флаг ошибки стека переходит в состояние “1”. После перехода в состояние “1” флаг переполнения стека циклов сохраняется в этом состоянии до тех пор, пока не будет сброшен пользователем.

3.5.4.11.7 Регистры адреса останова (SAR, SAR1 – SAR7)

Регистры адреса останова SAR, SAR1-SAR7 являются специализированными 16-разрядными регистрами, используемыми при отладке DSP-ядра. Каждый из этих регистров определяет точку останова (Breakpoint) - адрес инструкции, непосредственно перед исполнением которой должен произойти останов DSP-ядра. Перед исполнением инструкции с указанным адресом DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

Начальное состояние регистров SAR, SAR1-SAR7 = 0xFFFF.

3.5.4.12 Счетчик команд (CNTR)

Счетчик команд CNTR - специализированный 16-разрядный регистр, предназначенный для отладки DSP-ядра. Регистр CNTR задает пошаговый режим исполнения программ в соответствии с приводимой ниже таблицей.

CNTR	Режим исполнения программ
0x0000	Нормальный режим исполнения программ. Число исполняемых команд не ограничено.
N > 0	Пошаговый режим исполнения программ. После исполнения N инструкций DSP-ядро переходит в состояние останова (RUN=0) и флаг прерывания BRK устанавливается в «1».

3.6 Программная модель DSP

Программная модель DSP ELcore_26 представлена на Рисунок 3.8.

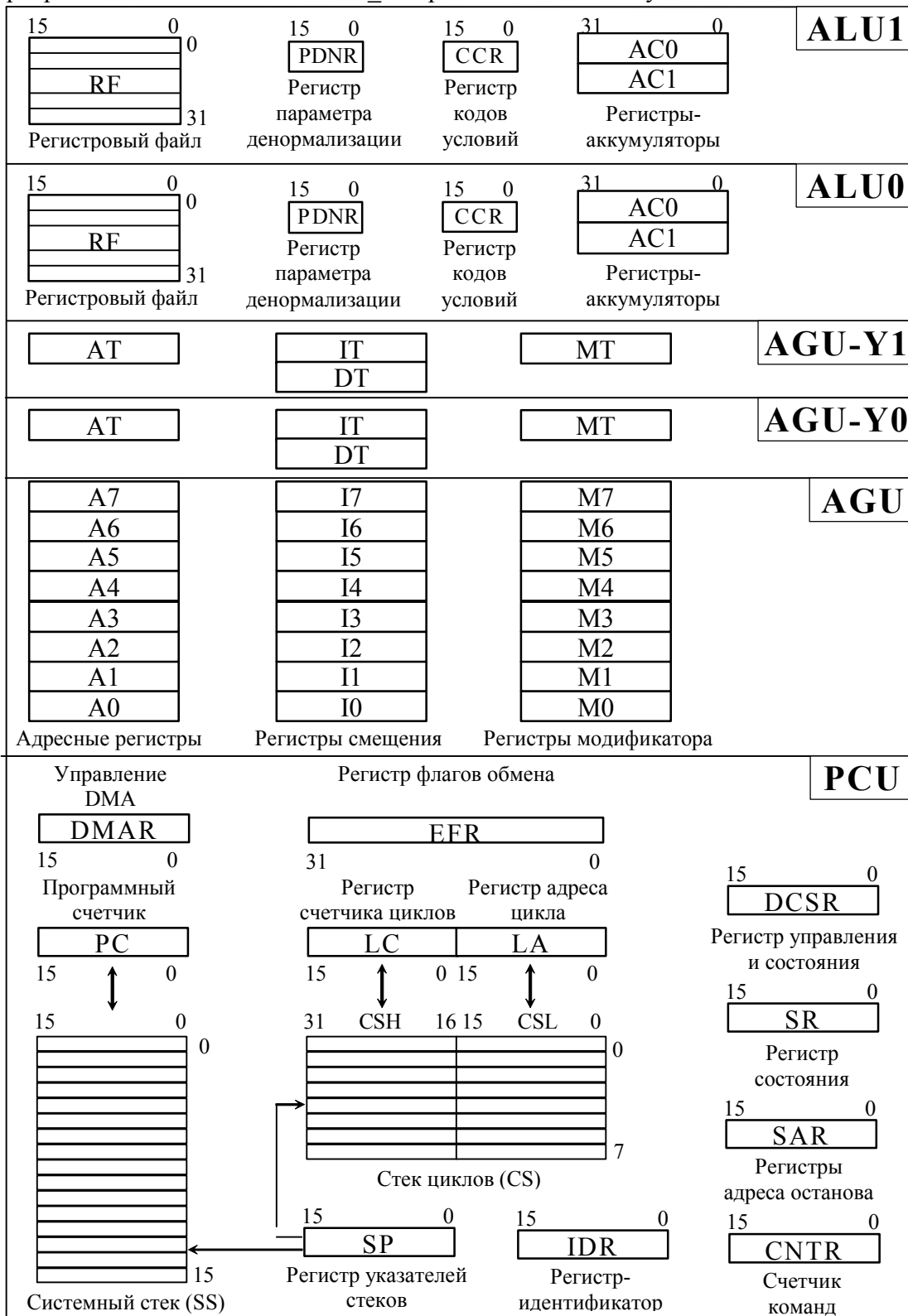


Рисунок 3.8 Программная модель DSP-ядра ELcore_26

3.7 Состояния DSP

В этом разделе описываются состояния (режимы функционирования) DSP. Управление состояниями DSP может выполняться при помощи сигнала аппаратного сброса RESET либо путем изменения соответствующих разрядов регистра SR.

DSP-ядро всегда находится в одном из трех возможных состояний:

- состояние начальной установки (**RESET**);
- состояние останова (**STOP**);
- состояние исполнения программы (**RUN**).

Ниже дается описание указанных состояний.

3.7.1 Состояние начальной установки (RESET)

DSP-ядро переходит в состояние начальной установки в двух случаях:

- 1) при поступлении сигнала аппаратного сброса RESET (аппаратный RESET);
- 2) при записи «1» в 15-й разряд регистра DCSR (программный RESET).

В обоих этих случаях производятся следующие установки:

- Регистры управления DCSR, SR, PC, LC, CNTR, SP адресные регистры A0-A7, AT, секционные регистры CCR, PDNR, AC0, AC1 устанавливаются в состояние 0x0000;
- Регистр адреса останова SAR и регистры модификатора адреса M0-M7, MT устанавливаются в состояние 0xFFFF;

3.7.2 Состояние останова (STOP)

При переходе в состояние останова DSP-ядро прекращает выполнение текущей программы. Программный счетчик не инкрементируется, состояние регистров и памяти сохраняется неизменным, за исключением тех случаев, когда производятся обмены по шинам RISC-ядра или DMA.

DSP-ядро переходит в состояние останова при отсутствии аппаратного сброса в одном из описанных ниже случаев:

- при установке в «0» бита RUN регистра DCSR;
- по достижении адреса останова при исполнении программы до адреса останова (при этом устанавливается в «1» флаг прерывания BREAK регистра DCSR);
- по завершении требуемого числа шагов при пошаговом исполнении программы);
- при обработке команды STOP DSP (при этом устанавливается в «1» флаг прерывания STOP регистра DCSR);
- при установке флага ошибки в одном из регистров указателей стеков – SSE или CSE (при этом устанавливается в «1» флаг прерывания SE регистра DCSR);
- при записи «1» в один из разрядов (I1-I3) регистра DCSR, соответствующих флагам прерываний SE, STOP, BREAK.

3.7.3 Состояние исполнения программы (RUN)

DSP-ядро находится в этом состоянии при одновременном наличии следующих условий:

- 1) Бит RUN регистра DCSR установлен в «1»;
- 2) Не установлены (находятся в состоянии «0») флаги прерываний SE, BREAK, STOP регистра DCSR.

Состояние DSP-ядра RUN связано с выполнением команд (инструкций). Выполнение инструкций в DSP-ядре организовано в виде конвейера, включающего три фазы. При этом для большинства инструкций скорость их выполнения в конвейерном режиме составляет одну инструкцию в течение одного командного цикла.

Выполнение некоторых инструкций требует большего количества командных циклов. К ним относятся инструкции, вызывающие программные переходы.

Конвейеризация выполнения инструкций приводит к тому, что в один и тот же момент времени происходит обработка нескольких инструкций, находящихся в разных стадиях исполнения.

Программный конвейер включает в себя четыре, в отличие от ELcore-x4, стадии (фазы): Адрес инструкции (Fetch), Выборка инструкции (Fetch), Декодирование (Decode), Исполнение (Execute). Хотя от выборки первой инструкции до окончательного ее исполнения проходит четыре командных цикла, с каждым следующим циклом завершается очередная инструкция.

Работа программного конвейера при последовательной выборке команд из программной памяти иллюстрируется временной диаграммой на Рисунок 3.9 (n – номер инструкции).

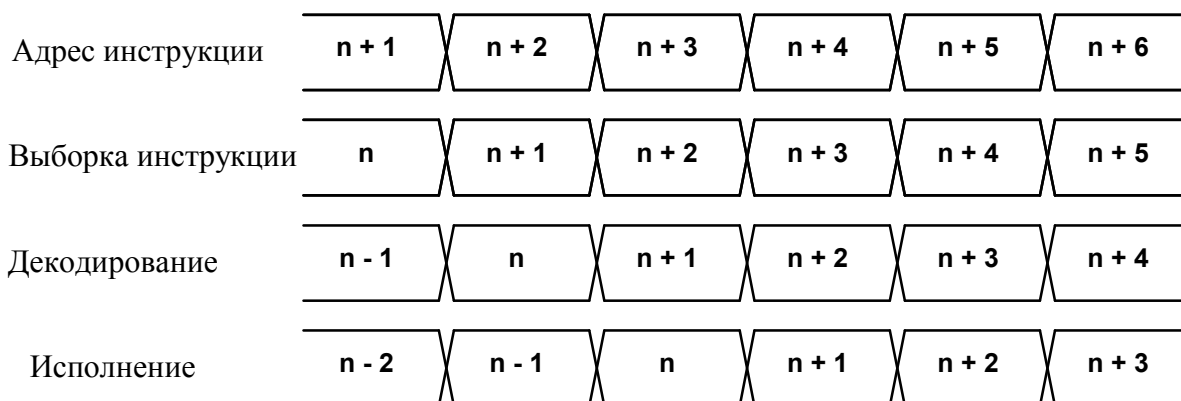


Рисунок 3.9 Работа программного конвейера при последовательной выборке команд

Приведенный в таблице порядок следования инструкций имеет место для большинства инструкций, исполнение которых не требует дополнительных командных циклов. Исключения составляют инструкции программных переходов.

Внешние обращения (со стороны RISC-ядра или DMA) к регистрам или к сегментам программной памяти DSP-ядра вызывают приостановку программного конвейера и приводят, таким образом, к увеличению времени исполнения инструкций на соответствующее число тактов.

Состояние DSP-ядра при этом не меняется.

Обращения к двухпортовой памяти данных XRAM, YRAM происходят без приостановки программного конвейера.

3.8 Карта памяти DSP и организация обмена данными.

Внутренняя оперативная память DSP входит в общее пространство памяти CPU.

Положение сегментов памяти DSP0, DSP1 в пространстве CPU приведено на Рисунок 3.10. Адреса указаны в шестнадцатеричной системе счисления с точностью до одного байта. Память DSP имеет 32-разрядную организацию и с ней возможны только 32-разрядные обмены. Поэтому при обменах с CPU и DMA два младших разряда адреса считаются всегда равными нулю.

Память данных DSP состоит из двух областей: X- и Y-памяти (XRAM, YRAM). Под память данных XRAM отведен диапазон адресов с 0x1840_0000 по 0x1840_FFFC (DSP0) и с 0x1880_0000 по 0x1880_FFFC (DSP1). Под память данных YRAM отведен диапазон адресов с 0x1841_0000 по 0x1841_FFFC (DSP0) и с 0x1881_0000 по 0x1881_FFFC (DSP1).

Под память программ PRAM отведен диапазон адресов с 0x1844_0000 по 0x1844_3FFC (DSP0) и с 0x1884_0000 по 0x1884_3FFC (DSP1).

Программно-доступные регистры располагаются в диапазоне адресов с 0x1848_0000 по 0x1848_017C (DSP0) и с 0x1888_0000 по 0x1888_017C (DSP1).

3.8.1 Буфер обмена

Для оперативных обменов данными между CPU, DSP0 и DSP1 вводится буфер обмена XBUF объемом 32 32-разрядных слова, доступный по записи и чтению для всех трех ядер. Адресация буфера приведена на рисунке.

Буфер обмена XBUF представляет собой многопортовую память и допускает одновременное чтение одной и той же ячейки со стороны нескольких абонентов - CPU, DSP0 и DSP1. При одновременном запросе на запись в одну и ту же ячейку приоритет отдается CPU, затем - DSP0, затем - DSP1.

Буфер обмена XBUF представляет собой векторную память. Это означает, что в режиме SIMD каждое обращение (запись или чтение) со стороны DSP происходит одновременно к двум ячейкам с соседними адресами. Организация обменов DSP с XBUF полностью аналогична организации обменов DSP с памятью данных XRAM (включая назначение бит SI, SW).

Каждое из DSP-ядер (DSP0 и DSP1) выбирает способ обмена с XBUF независимо друг от друга.

Для отображения состояния обменов через XBUF вводится регистр флагов обмена (EFR) – 32 бит, только чтение, начальное состояние EFR=0x00000000. Каждый разряд этого регистра формируется аппаратно и отображает тип последней транзакции, выполненной с соответствующей ячейкой XBUF (0 – чтение из XBUF, 1 – запись). Регистр EFR относится к пространству регистров управления DSP. В пространстве CPU этот регистр имеет адрес 0x1848_010C (DSP0) и 0x1848_010C (DSP1).

Вводятся два режима обменов с XBUF – обычный и синхронный (семафорный).

В обычном режиме любой из абонентов - CPU, DSP0 и DSP1 - в любое время может обращаться к любой ячейке XBUF, и это обращение немедленно исполняется (с учетом приоритета по записи).

В синхронном режиме (устанавливается битом SNW=1 регистра CSR):

- CPU обращается к XBUF так же, как и в обычном режиме;
- обращения со стороны DSP0 и DSP1 могут выполняться с задержкой в зависимости от состояния регистра EFR и типа обращения. Если тип обращения не совпадает с типом последней транзакции, выполненной с данной ячейкой XBUF (то есть если за записью следует чтение, а за чтением - запись) то исполнение такого обращения происходит без задержки. Если же за записью вновь следует запрос на запись в ту же ячейку (либо за чтением – вновь запрос на чтение), то такое обращение выполняется с задержкой. Выдавшееся запрос DSP-ядро переводится в состояние ожидания, продолжающееся до тех пор, пока соответствующий бит EFR не сменит свое значение на противоположное.

В регистр DCSR вводится бит WT=DCSR[4], указывающий на то, что DSP находится в состоянии ожидания при обращении к XBUF. Одновременная установка в DSP0 и DSP1 бит WT=1 (то есть зависание программы) вызывает прерывание WSE в CPU.

3.8.2 Организация обменов данными DSP с CPU или DMA.

Во внешних обменах (с CPU или DMA) DSP является ведомым устройством (Slave) и не может самостоятельно инициировать обмен. Обмены CPU или DMA с памятью DSP (XRAM, YRAM или PRAM) происходят через отдельные порты модулей памяти и не прерывают работы DSP.

Обмены с памятью могут быть 32-разрядными или 64-разрядными. При 64-разрядных обменах обращение производится к двум 32-разрядным ячейкам памяти с соседними адресами (т.е. в разные SIMD-секции). Ячейка с адресом, кратным 8 (0хXXXXXXXX0 или 0хXXXXXXXX8) соответствует младшей половине 64-разрядного слова, ячейка с адресом 0хXXXXXXXX4 или 0хXXXXXXXXC – старшей половине 64-разрядного слова.

Обмены с адресуемыми регистрами DSP могут производиться только CPU и могут быть только 32-разрядными. При обменах с 16-разрядными регистрами данные находятся в младшем полуслове.

Адреса в пространстве CPU			Внутренние адреса DSP	
DSP0	DSP1			
0x187F_FFFC	0x18BF_FFFC	Буфер обмена (XBUF)	0xFFFF	A0-A7
0x187F_FF80	0x18BF_FF80		0xFFE0	
0x187F_FF7C	0x18BF_FF7C	Резерв		
0x1848_0180	0x1888_0180			
0x1848_017C	0x1888_017C	Регистры данных и управления		
0x1848_0000	0x1888_0000			
0x1847_FFFC	0x1887_FFFC	Резерв	0xFFFF	
0x1844_4000	0x1884_4000		0x1000	
0x1844_3FFC	0x1884_3FFC	Память программ (PRAM)	0x0FFF = PC_max	PC
0x1844_0000	0x1884_0000		0x0000 = PC_min	
0x1843_FFFC	0x1883_FFFC	Резерв	0xFFDF	
0x1842_0000	0x1882_0000		0x8000	
0x1841_FFFC	0x1881_FFFC	Память данных (YRAM)	0x7FFF = pY_max	A0-A7, AT
0x1841_0000	0x1881_0000		0x4000 = pY_min	
0x1840_FFFC	0x1880_FFFC	Память данных (XRAM)	0x3FFF = pX_max	A0-A7
0x1840_0000	0x1880_0000		0x0000 = pX_min	

Рисунок 3.10 Карта памяти DSP-ядра ELcore-26.

3.8.2.1 Режим Broadcasting

При внешней записи 32-разрядных данных в память данных DSP-ядра ELcore_24 возможен режим «Broadcasting». Этот режим позволяет осуществлять запись 32-разрядных данных одновременно в две ячейки с соседними адресами (т.е. в разные SIMD-секции): в ячейки с адресами вида 0xXXXXXXXX0 и 0xXXXXXXXX4; либо в ячейки с адресами 0xXXXXXXXX8 и 0xXXXXXXXXC.

Режим Broadcasting включается при установке в «1» бита BC в регистре SR.

3.8.3 Организация внутренних обменов с памятью данных

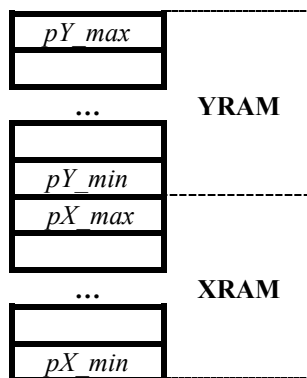
Генерация адресов для X- и Y-памяти данных при внутренних обменах DSP осуществляется адресными генераторами DSP - AGU и AGU-Y.

Устройство AGU-Y предназначено для генерации адресов Y-памяти.

Адресный генератор AGU является общим для всего DSP и производит адресацию всех сегментов X- и Y-памяти данных DSP.

В каждой секции DSP-ядра имеется отдельное устройство для генерации адресов Y-памяти - AGU-Y0 и AGU-Y1. Устройство AGU-Y адресует только Y-память и только по чтению. При одновременном обращении к Y-памяти со стороны обоих генераторов, - AGU и AGU-Y, - приоритет имеет генератор AGU.

При этом внутренняя адресация памяти XRAM начинается с нулевого адреса, а памяти YRAM - с адреса, следующего за последним адресом XRAM в соответствии с приводимой ниже диаграммой, где pX_min , pX_max – соответственно минимальный и максимальный адрес X-памяти pY_min , pY_max – соответственно минимальный и максимальный адрес Y-памяти:



Граничные адреса X- и Y-памяти для ELcore-26 (адреса приводятся в шестнадцатеричной системе счисления):

pX_min	pX_max	pY_min	pY_max
0x0000	0x7FFF	0x8000	0x9FFF

3.8.3.1 Особенности адресации памяти данных в режимах SCALAR и SIMD

Адреса, вырабатываемые генераторами AGU, AGU-Y0 и AGU-Y1, будем обозначать соответственно XAB, YAB0 и YAB1 (так же, как и соответствующие им адресные шины).

В режиме SCALAR указатели памяти, то есть адреса ячеек X- и Y-памяти, к которым происходят обращения, совпадают с вырабатываемыми адресами:

$$pX = XAB, \quad pX_min \leq XAB \leq pY_max;$$

$$pY = YAB0, \quad pY_min \leq YAB0 \leq pY_max;$$

Примечание. Одновременное обращение к Y-памяти со стороны обоих генераторов, AGU и AGU-Y, запрещено. При таком одновременном обращении к Y-памяти приоритет имеет генератор AGU. Данные, считанные в этом случае генератором AGU-Y, будут неправильными.

В режиме SIMD для DSP-ядра ELcore_24 весь объем памяти данных XRAM, YRAM распределяется поровну между секциями. При этом все ячейки с четными адресами принадлежат к одной секции, все ячейки с нечетными адресами - к другой.

В режиме SIMD указатели памяти для каждой из секций определяются формулами:

$$\begin{aligned}
 pX0 &= 2 * XAB + (SW), & pX_{\min} \leq XAB \leq pY_{\max}/2; \\
 pX1 &= 2 * XAB + (!SW), & pX_{\min} \leq XAB \leq pY_{\max}/2; \\
 pY0 &= 2 * YAB0, & pY_{\min}/2 \leq YAB0 \leq pY_{\max}/2; \\
 pY1 &= 2 * YAB1 + 1, & pY_{\min}/2 \leq YAB1 \leq pY_{\max}/2;
 \end{aligned}$$

Управляющий бит SW (8-й разряд регистра SR) позволяет производить перекрестный обмен между секциями.

Примечание. При $pX_{\min} \leq XAB \leq pX_{\max}/2$ со стороны генератора AGU происходит обращение к X-памяти, при $pY_{\min}/2 \leq XAB \leq pY_{\max}/2$ - к Y-памяти.

3.8.4 Организация памяти программ PRAM

Под память программ PRAM отведен диапазон адресов с 0x1844_0000 по 0x1847_FFFC.

Память программ PRAM имеет 64-разрядную организацию, позволяющую осуществлять хранение и выборку в течение одного такта как 32-разрядных, так и 64-разрядных инструкций. Объем памяти PRAM - 4К 32-разрядных (или 2К 64-разрядных) слов.

Память PRAM адресуется программным адресным генератором, входящим в состав устройства программного управления.

При последовательном ходе программы адрес программной памяти определяется состоянием программного счетчика PC, при программных переходах адрес определяется инструкцией перехода.

3.8.5 Адресуемые регистры

Перечень адресуемых регистров DSP0, DSP1 с указанием их адреса в пространстве памяти CPU приведен в таблице 3.9.

Таблица 3.9 Перечень адресуемых регистров DSP0, DSP1

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра (DSP0)	Адрес регистра (DSP1)
		<u>PCU</u>		
DCSR	16	Регистр режима работы	0x1848_0100	0x1888_0100
SR	16	Регистр состояния	0x1848_0104	0x1888_0104
IDR	16	Регистр-идентификатор	0x1848_0108	0x1888_0108
EFR	32	Регистр флагов обмена	0x1848_010C	0x1888_010C
DMAR	16	Регистр управления DMA	0x1848_0110	0x1888_0110
PC	16	Программный счетчик	0x1848_0120	0x1888_0120
SS	16	Стек программного счетчика	0x1848_0124	0x1888_0124
LA	16	Регистр адреса цикла	0x1848_0128	0x1888_0128
CSL	16	Стек адреса цикла	0x1848_012C	0x1888_012C
LC	16	Счетчик циклов	0x1848_0130	0x1888_0130
CSH	16	Стек счетчика циклов	0x1848_0134	0x1888_0134
SP	16	Регистр указателя стека	0x1848_0138	0x1888_0138
SAR	16	Регистр адреса останова 0	0x1848_013C	0x1888_013C
CNTR	16	Счетчик исполненных команд	0x1848_0140	0x1888_0140

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра (DSP0)	Адрес регистра (DSP1)
SAR1	16	Регистр адреса останова 1	0x1848_0144	0x1888_0144
SAR2	16	Регистр адреса останова 2	0x1848_0148	0x1888_0148
SAR3	16	Регистр адреса останова 3	0x1848_014C	0x1888_014C
SAR4	16	Регистр адреса останова 4	0x1848_0150	0x1888_0150
SAR5	16	Регистр адреса останова 5	0x1848_0154	0x1888_0154
SAR6	16	Регистр адреса останова 6	0x1848_0158	0x1888_0158
SAR7	16	Регистр адреса останова 7	0x1848_015C	0x1888_015C
		<u>AGU</u>		
A0	16	Регистр адреса A0	0x1848_0080	0x1888_0080
A1	16	Регистр адреса A1	0x1848_0084	0x1888_0084
A2	16	Регистр адреса A2	0x1848_0088	0x1888_0088
A3	16	Регистр адреса A3	0x1848_008C	0x1888_008C
A4	16	Регистр адреса A4	0x1848_0090	0x1888_0090
A5	16	Регистр адреса A5	0x1848_0094	0x1888_0094
A6	16	Регистр адреса A6	0x1848_0098	0x1888_0098
A7	16	Регистр адреса A7	0x1848_009C	0x1888_009C
I0	16	Регистр индекса I0	0x1848_00A0	0x1888_00A0
I1	16	Регистр индекса I1	0x1848_00A4	0x1888_00A4
I2	16	Регистр индекса I2	0x1848_00A8	0x1888_00A8
I3	16	Регистр индекса I3	0x1848_00AC	0x1888_00AC
I4	16	Регистр индекса I4	0x1848_00B0	0x1888_00B0
I5	16	Регистр индекса I5	0x1848_00B4	0x1888_00B4
I6	16	Регистр индекса I6	0x1848_00B8	0x1888_00B8
I7	16	Регистр индекса I7	0x1848_00BC	0x1888_00BC
M0	16	Регистр модификатора M0	0x1848_00C0	0x1888_00C0
M1	16	Регистр модификатора M1	0x1848_00C4	0x1888_00C4
M2	16	Регистр модификатора M2	0x1848_00C8	0x1888_00C8
M3	16	Регистр модификатора M3	0x1848_00CC	0x1888_00CC
M4	16	Регистр модификатора M4	0x1848_00D0	0x1888_00D0
M5	16	Регистр модификатора M5	0x1848_00D4	0x1888_00D4
M6	16	Регистр модификатора M6	0x1848_00D8	0x1888_00D8
M7	16	Регистр модификатора M7	0x1848_00DC	0x1888_00DC
		<u>AGU-Y0</u>		
AT(0)	16	Регистр адреса AT	0x1848_00E0	0x1888_00E0
IT(0)	16	Регистр индекса IT	0x1848_00E4	0x1888_00E4
MT(0)	16	Регистр модификатора MT	0x1848_00E8	0x1888_00E8
DT(0)	16	Регистр модификатора DT	0x1848_00EC	0x1888_00EC
		<u>AGU-Y1</u>		
AT(1)	16	Регистр адреса AT (1-я секция)	0x1848_00F0	0x1888_00F0
IT(1)	16	Регистр индекса IT (1-я секция)	0x1848_00F4	0x1888_00F4
MT(1)	16	Регистр модификатора MT (1-я секция)	0x1848_00F8	0x1888_00F8
DT(1)	16	Регистр модификатора DT (1-я секция)	0x1848_00FC	0x1888_00FC
		<u>RF0</u>		
R0.L(0)	32	Регистр данных R0.L	0x1848_0000	0x1888_0000
R2.L(0)	32	Регистр данных R2.L	0x1848_0004	0x1888_0004
R4.L(0)	32	Регистр данных R4.L	0x1848_0008	0x1888_0008
R6.L(0)	32	Регистр данных R6.L	0x1848_000C	0x1888_000C
R8.L(0)	32	Регистр данных R8.L	0x1848_0010	0x1888_0010
R10.L(0)	32	Регистр данных R10.L	0x1848_0014	0x1888_0014
R12.L(0)	32	Регистр данных R12.L	0x1848_0018	0x1888_0018
R14.L(0)	32	Регистр данных R14.L	0x1848_001C	0x1888_001C
R16.L(0)	32	Регистр данных R16.L	0x1848_0020	0x1888_0020
R18.L(0)	32	Регистр данных R18.L	0x1848_0024	0x1888_0024
R20.L(0)	32	Регистр данных R20.L	0x1848_0028	0x1888_0028
R22.L(0)	32	Регистр данных R22.L	0x1848_002C	0x1888_002C

Условно обозначение	Разрядность	Наименование регистра	Адрес регистра (DSP0)	Адрес регистра (DSP1)
R24.L(0)	32	Регистр данных R24.L	0x1848_0030	0x1888_0030
R26.L(0)	32	Регистр данных R26.L	0x1848_0034	0x1888_0034
R28.L(0)	32	Регистр данных R28.L	0x1848_0038	0x1888_0038
R30.L(0)	32	Регистр данных R30.L	0x1848_003C	0x1888_003C
		<u>RF1</u>		
R0.L(1)	32	Регистр данных R0.L (1-я секция)	0x1848_0040	0x1888_0040
R2.L(1)	32	Регистр данных R2.L (1-я секция)	0x1848_0044	0x1888_0044
R4.L(1)	32	Регистр данных R4.L (1-я секция)	0x1848_0048	0x1888_0048
R6.L(1)	32	Регистр данных R6.L (1-я секция)	0x1848_004C	0x1888_004C
R8.L(1)	32	Регистр данных R8.L (1-я секция)	0x1848_0050	0x1888_0050
R10.L(1)	32	Регистр данных R10.L (1-я секция)	0x1848_0054	0x1888_0054
R12.L(1)	32	Регистр данных R12.L (1-я секция)	0x1848_0058	0x1888_0058
R14.L(1)	32	Регистр данных R14.L (1-я секция)	0x1848_005C	0x1888_005C
R16.L(1)	32	Регистр данных R16.L (1-я секция)	0x1848_0060	0x1888_0060
R18.L(1)	32	Регистр данных R18.L (1-я секция)	0x1848_0064	0x1888_0064
R20.L(1)	32	Регистр данных R20.L (1-я секция)	0x1848_0068	0x1888_0068
R22.L(1)	32	Регистр данных R22.L (1-я секция)	0x1848_006C	0x1888_006C
R24.L(1)	32	Регистр данных R24.L (1-я секция)	0x1848_0070	0x1888_0070
R26.L(1)	32	Регистр данных R26.L (1-я секция)	0x1848_0074	0x1888_0074
R28.L(1)	32	Регистр данных R28.L (1-я секция)	0x1848_0078	0x1888_0078
R30.L(1)	32	Регистр данных R30.L (1-я секция)	0x1848_007C	0x1888_007C
		<u>Секционные регистры состояния</u>		
CCR(0)	16	Регистр кодов условий (0-я секция)	0x1848_0160	0x1888_0160
PDNR(0)	16	Регистр PDNR (0-я секция)	0x1848_0164	0x1888_0164
AC0(0)	32	Регистр-аккумулятор 0 (0-я секция)	0x1848_0168	0x1888_0168
AC1(0)	32	Регистр-аккумулятор 1 (0-я секция)	0x1848_016C	0x1888_016C
CCR(1)	16	Регистр кодов условий (1-я секция)	0x1848_0170	0x1888_0170
PDNR(1)	16	Регистр PDNR (1-я секция)	0x1848_0174	0x1888_0174
AC0(1)	32	Регистр-аккумулятор 0 (1-я секция)	0x1848_0178	0x1888_0178
AC1(1)	32	Регистр-аккумулятор 1 (1-я секция)	0x1848_017C	0x1888_017C

Примечания:

1) Все регистры доступны как по записи, так и по чтению, за следующими исключениями:

- младший байт регистра SR доступен только по чтению;
- регистр IDR доступен только по чтению.

2) Обращение к любому из регистров приводит к приостановке программного конвейера, за следующими исключениями: чтение из регистров DCSR, SR, IDR, SAR, CNTR происходит без приостановки программного конвейера.

3) Регистры AGU-Y0, AGU-Y1 описаны в описании системы инструкций DSP. Это секционные регистры AGU-Y0 (для 0-й секции), AGU-Y1 (для 1-й секции), позволяющие независимо формировать адреса Y-памяти в каждой из секций. Обмены RF с этими регистрами (например, MOVE R1,AT) выполняются по тем же принципам, как и с другими секционными регистрами: в SIMD-режиме параллельно выполняются 2 пересылки, в SCALAR-режиме работает только 0-я секция.

4. СИСТЕМНОЕ УПРАВЛЕНИЕ

4.1 Система синхронизации

1892ВМ5Я имеет два входа синхронизации:

- Вход системной частоты ХТІ/ХТО. Сюда может подключаться кварцевый резонатор или внешний генератор;
- Вход частоты реального времени RTCХТІ.

Схема синхронизации узлов 1892ВМ5Я приведена на рисунке 4.1.

Для синхронизации работы узлов 1892ВМ5Я используется умножитель частоты на основе схемы фазовой автоподстройки частоты PLL. Управление PLL осуществляется при помощи полей CLK_SEL[4:0] (выбор коэффициента умножения/деления входной частоты) и CLKEN (разрешение формирования частоты) регистра CSR, а также при помощи внешнего вывода PLL_EN:

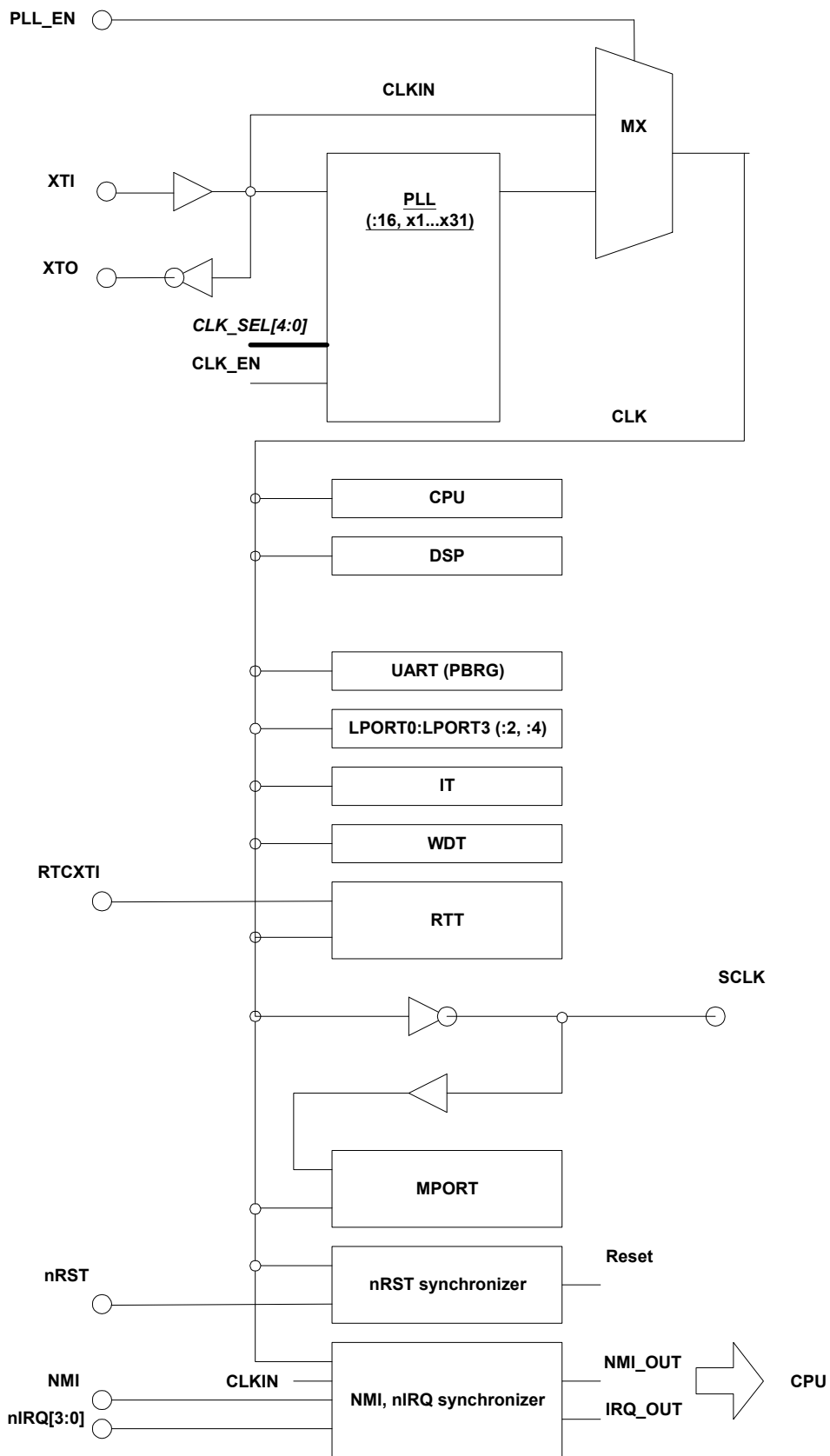
- при PLL_EN=0 системная тактовая частота микроконтроллера равна входной частоте ХТІ;
- при PLL_EN=1 системная тактовая частота микроконтроллера поступает из PLL и равна входной частоте ХТІ, умноженной на коэффициент умножения/деления.

CPU, DSP, IT, WDT, MPORT работают на частоте CLK.

Контроллер PMSC работает на частоте PCLK.

Частота передачи данных линковыми портами (LPORT) – от CLK/2 до CLK/4.

Частота передачи данных UART определяется коэффициентом деления частоты CLK, который содержится в регистрах программируемого делителя (PBRG).



Reset - установка исходного состояния

CLK - системная тактовая частота

CLKIN - входная тактовая частота

NMI_OUT, IRQ_OUT - сигналы прерывания, поступающие на вход CPU

nRST, NMI, nIRQ synchronizer - схемы синхронизации входных сигналов

Рисунок 4.1. Схема синхронизации узлов 1892BM5Я

4.2 Отключение и включение тактовой частоты

В 1892ВМ5Я имеется два режима энергосбережения:

- перевод DSP в режим STOP;
- отключение внутренней тактовой частоты CLK.

Перевод DSP в режим STOP осуществляется посредством регистра DCSR. Это позволяет уменьшить энергопотребление не менее чем на 30%.

Отключение внутренней тактовой частоты выполняется следующим образом:

- программа CPU должна выполняться из кэш программ или из внутренней памяти CRAM;
- LPORT, UART, DMA должны быть в неактивном состоянии;
- перевести DSP в режим STOP;
- записать 1 в 31 разряд регистра SDRCON (поле RFR не должно быть изменено). По данной операции SDRAM деактивизируется (выполняется команда PRECHARGE);
- произвести запись нулей по адресу 182F_1018 (установка выходного сигнала СКЕ в нулевое состояние);
- произвести запись 0 в разряд CLKEN регистра CSR. По этой операции внутренняя тактовая частота отключается. За этой командой должна стоять команда NOP.

При отключении внутренней тактовой частоты энергопотребление уменьшается не менее чем в 100 раз.

Включение внутренней тактовой частоты осуществляется по любому внешнему прерыванию nIRQ[3:0] или NMI. Обработка исключения по данным прерываниям в этом случае должна выполняться следующим образом:

- для определения факта того, что прерывание произошло при выключенной частоте, можно опросить состояние бита CLKEN=0;
- записать 1 в бит CLKEN;
- произвести запись всех единиц по адресу 182F_1018 (установка сигнала СКЕ в единичное состояние);
- ожидание не менее 10 тактов.

4.3 Системные регистры

4.3.1 Регистр управления и состояния CSR

Формат регистра CSR приведен в Таблица 4.1.

Таблица 4.1

Номер разряда	Условное обозначение	Назначение	Доступ	Исходное состояние
0	FM	Режим преобразования виртуальных адресов CPU в физические адреса: 0 – с использованием TLB; 1 – Fixed Mapped (FM).	R/W	1
3:1	-	Резерв	-	0
8:4	CLK_SEL[4:0]	Управление PLL: выбор коэффициента умножения/деления входной частоты: 0 – 1/16; 1 – 1 2 – 2; 3 – 3; ... 29 – 29; 30 – 30; 31 – 31.	R/W	1
11:9	-	Резерв	-	0
12	FLUSH	При записи 1 в данный разряд кэш команд CPU останавливается в исходное состояние, то есть ее содержимое девальдируется. Эта процедура может использоваться для обеспечения когерентности кэш при работе DMA.	W	0
13	TST_CACHE	Режим работы кэш программ: 0 – нормальный режим; 1 – режим тестирования. Используется только при технологическом тестировании кэш программ. Пользователям устанавливать этот режим запрещено	R/W	0
15:13	-	Резерв	-	0
16	CLKEN	Управление PLL: разрешение формирования тактовой частоты: 1 – частота включена; 0 – частота выключена.	R/W	1
23:17	-	Резерв	-	0
24	SNS_DSP	При записи 1 в данный разряд осуществляется синхронный (одновременный) перевод двух DSP из состояния STOP в состояние RUN.	W	0
25	SNW_DSP	Признак синхронной работы DSP0 и DSP1: 0 – независимая работа; 1 – синхронная работа. Если CPU выполняет обмен данными с одним из DSP, то приостанавливается и другой.	R/W	0
31:25	-	Резерв	-	0

Нумерация разрядов регистров 1892BM5Я соответствует нумерации разрядов памяти CPU. Если разряды регистров 1892BM5Я доступны только по записи или не используются (резерв), то при чтении из них считываются нули. Если разряды регистров 1892BM5Я доступны только по чтению или не используются, то при записи в них необходимо указывать нули.

4.3.2 Регистр запросов прерывания QSTR

Все сигналы внутренних прерываний поступают на входы псевдорегистра QSTR, формат которого приведен в Таблица 4.2.

Данный регистр не имеет элементов памяти и доступен только по чтению.

Каждый разряд регистра QSTR содержит запрос прерывания от внутренних узлов 1892BM5Я в не зависимости от состояния соответствующих разрядов регистра MASKR:

0 – нет запроса;

1 – есть запрос.

Сигналы внутренних прерываний формируются в соответствующих устройствах при выполнении определенных условий. В процессе обслуживания прерывания необходимо проанализировать состояние устройства для определения причины его возникновения. Сброс прерывания осуществляется в момент исключения причины возникновения данного прерывания. Например, прерывание от LPORT (при неактивизированном DMA) сбрасывается при записи данных в буфер LTx или при чтении данных из буфера LRx.

Все незамаскированные прерывания объединяются по «или» и поступают в разряд IP[7] регистра Cause CPU.

Исходное состояние регистра QSTR – нули.

Таблица 4.2

Номер разряда	Условное обозначение прерывания	Название прерывания
0	PMCh	Прерывание от канала DMA PMCh
1	MBR	Прерывание при записи данных в регистр почтового ящика MBR контроллера PMSC со стороны шины PCI. Данный бит обнуляется при чтении регистра MBR.
3:2	-	Резерв
4	Uart	Прерывание от UART
6:5	-	Резерв
7	LTRx0	Прерывание от порта LPORT0 при обмене данными или от канала DMA LportCh0
8	LSrq0	Запрос обслуживания от порта LPORT0
9	LTRx1	Прерывание от порта LPORT1 при обмене данными или от канала DMA LportCh0
10	LSrq1	Запрос обслуживания от порта LPORT1
11	LTRx2	Прерывание от порта LPORT2 при обмене данными или от канала DMA LportCh0
12	LSrq2	Запрос обслуживания от порта LPORT2
13	LTRx3	Прерывание от порта LPORT3 при обмене данными или от канала DMA LportCh0
14	LSrq3	Запрос обслуживания от порта LPORT3
15	WSE	Выполнение любого из условий: <ul style="list-style-type: none"> · переполнение какого-либо стека DSP0 или DSP1; · оба DSP0 и DSP1 находятся в состоянии ожидания доступа к буферу XBUF.
16	STP0	Останов DSP0 по команде STOP.
17	PI1	Программное прерывание от DSP1.
18	STP1	Останов DSP1 по команде STOP.

Номер разряда	Условное обозначение прерывания	Название прерывания
19	Compage	Прерывание от таймера CPU
20	-	Резерв
21	MemCh0	Прерывание от канала DMA MemCh0
22	MemCh1	Прерывание от канала DMA MemCh1
23	MemCh2	Прерывание от канала DMA MemCh2
24	MemCh3	Прерывание от канала DMA MemCh3
25	MemCh4	Прерывание от канала DMA MemCh4
26	MemCh5	Прерывание от канала DMA MemCh5
27	MemCh6	Прерывание от канала DMA MemCh6
28	MemCh7	Прерывание от канала DMA MemCh7
29	Timer	Прерывание от таймеров IT, WDT, RTT
30	PI0	Программное прерывание от DSP0.
31	SBS	Выполнение любого из условий: <ul style="list-style-type: none"> · останов DSP0 или DSP1 по команде STOP; · останов DSP0 или DSP1 в результате сравнения содержимого программного счетчика с адресом останова; · останов DSP0 или DSP1 при завершении требуемого числа шагов при пошаговом исполнении программы; · переполнение какого-либо стека DSP0 или DSP1; · оба DSP0 и DSP1 находятся в состоянии ожидания ожидания доступа к буферу XBUF.

4.3.3 Регистр маски MASKR

Каждое внутреннее прерывание маскируется при помощи 32-разрядного регистра маски MASKR, формат которого аналогичен формату регистра QSTR. Исходное состояние данного регистра – нули (все внутренние прерывания запрещены). Регистр доступен по записи и чтению.

4.4 Процедура начальной загрузки

Режим выполнения процедуры начальной загрузки определяется логическими уровнями на входах PBOOT и LBOOT.

После снятия сигнала nRST все устройства 1892BM5Я устанавливаются в исходное состояние, а сопроцессоры DSP0 и DSP1 - в состояние STOP.

Далее в CPU возникает исключение, вектор которого расположен по виртуальному адресу BFC0_0000. Физический адрес этого вектора определяется состоянием сигналов на входах PBOOT и LBOOT:

- При PBOOT = 0, LBOOT = 0 этот вектор размещается в блоке внешней памяти, подключенном к выводу nCS[3] (как правило, ПЗУ) по физическому адресу 1FC0_0000;
- При PBOOT = 1, LBOOT = 0 этот вектор размещается в регистре AR_BOOT контроллера PMSC. В этом случае CPU после снятия сигнала nRST ожидает момент записи из шины PCI адреса старта в регистр AR_BOOT, и после этого по нему стартует. Этот адрес должен быть адресом внешней памяти, а блоки этой памяти должны быть подключены к выводам nCS[3] или nCS[4]. Перед записью адреса старта из шины PCI в эти блоки внешней памяти необходимо загрузить программы и данные (см. п. 9.2.3). Следует иметь в виду, что в этом случае CPU может стартовать с вектором по адресу 0xBFC0_0380, поэтому из шины PCI в блоки внешней памяти необходимо загрузить также и программу обработки этого исключения;
- При PBOOT = 0, LBOOT = 1 этот вектор размещается по физическому адресу 1800_0000. В этом случае, в LPORT0 и DMA LportCh0 устанавливается режим приема 256 слов в память CRAM, начиная с адреса 1800_0000. После приема CPU стартует с этого адреса.

В зависимости от состояния сигнала на выводе BYTE блок внешней памяти, подключенный к выводу nCS[3] может быть 8- или 32-разрядным. В сегменте 3 внешней памяти может находиться или только программа начальной загрузки или все программы 1892BM5Я. В первом случае основная программа 1892BM5Я может быть загружена через линковые или из шины PCI.

При LBOOT = 1 стартовая программа аппаратно загружается через порт LPORT0 (4-разрядный режим работы, частота приема данных LCLK должна быть не более 2,5 МГц), который является приемником данных. Физический адрес начала этой программы – 1800_0000, объем программы – 256 32-разрядных слов. Для загрузки стартовой программы по сигналу nRST порт LPORT0 и его DMA инициализируются на прием 256 32-разрядных слов. После приема этих слов CPU стартует, начиная с адреса 1800_0000. Следует отметить, что после старта CPU в режиме LBOOT регистры управления и состояния линковых портов LPORT0, LPORT1 и их DMA имеют следующие состояния:

- LSCR0 = 0000_0001;
- LSCR1 = 0000_0003;
- CSR_LpCh0 = 0000_C000;
- CSR_LpCh1 = 00FE_0001.

Программа начальной загрузки должна обеспечивать конфигурирование всех устройств 1892BM5Я.

4.5 Логика взаимодействия CPU и DSP

4.5.1 Функции CPU

CPU является ведущим. Он имеет свою операционную систему (планировщик или монитор) и выполняет основную программу.

CPU имеет доступ к следующим ресурсам DSP:

- памяти данных;
- регистру управления и состояния DCSR;
- программному счетчику PC;
- регистру адреса останова SAR;
- памяти программ;
- архитектурным регистрам.

Обмен данными с этими ресурсами выполняется по командам Load, Store. Память DSP и его регистры для CPU являются словными, то есть состояние двух младших разрядов адреса является безразличным.

При штатной, работе доступ к архитектурным регистрам DSP, как правило, не используется, а применяется только для его диагностики или для отладки программного обеспечения.

DSP выдает следующие прерывания в CPU, которые поступают на регистр QSTR:

- программное;
- по переполнению стека;
- при выполнении команды STOP;
- при достижении адреса останова при исполнении программы до адреса останова или завершении требуемого числа шагов при пошаговом исполнении программы.

CPU в DSP прерываний не формирует.

CPU управляет работой DSP посредством передачи ему задания (макрокоманды) и его запуска (перевод из режима STOP в режим RUN). Данная процедура выполняется в следующей последовательности:

- CPU передает в память DSP данные и параметры их обработки. Эта операция может отсутствовать;
- CPU передает в программную память DSP программный код, который должен быть выполнен. Эта операция может отсутствовать;
- CPU передает в DSP адрес первой выполняемой команды посредством записи в программный счетчик. Эта операция может отсутствовать, например, если следующая макрокоманда DSP должна выполняться с его текущего состояния;
- CPU переводит DSP в состояние RUN посредством записи в его регистр управления и состояния DCSR.

4.5.2 Функции DSP

DSP является ведомым. Он работает под управлением CPU и выполняет его макрокоманды (задания). Операционной системы и какого-либо монитора не имеет.

Для управления его работы DSP имеет программно доступный регистр управления и состояния DCSR. Формат этого регистра приведен в главе 3.

DSP может находиться в состояниях STOP или RUN и работает в старт стоповом режиме. То есть, после выполнения очередного задания CPU он останавливается и переходит в режим STOP посредством выполнения одноименной команды. DSP из состояния STOP в состояние RUN может перейти:

- по команде CPU;
- по сигналам от каналов DMA MemCh.

DSP может выполнить запуск работы каналов DMA MemCh посредством записи 1 в соответствующие разряды регистра DCSR.

5. ИНТЕРВАЛЬНЫЙ ТАЙМЕР

5.1 Назначение

Интервальный таймер (ИТ), предназначен для выработки периодических прерываний на основе деления тактовой частоты CPU. Основные характеристики интервального таймера:

- Число разрядов основного делителя – 32;
- Число разрядов предделителя – 8;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

5.2 Структурная схема

Структурная схема интервального таймера приведена на Рисунок 5.1.

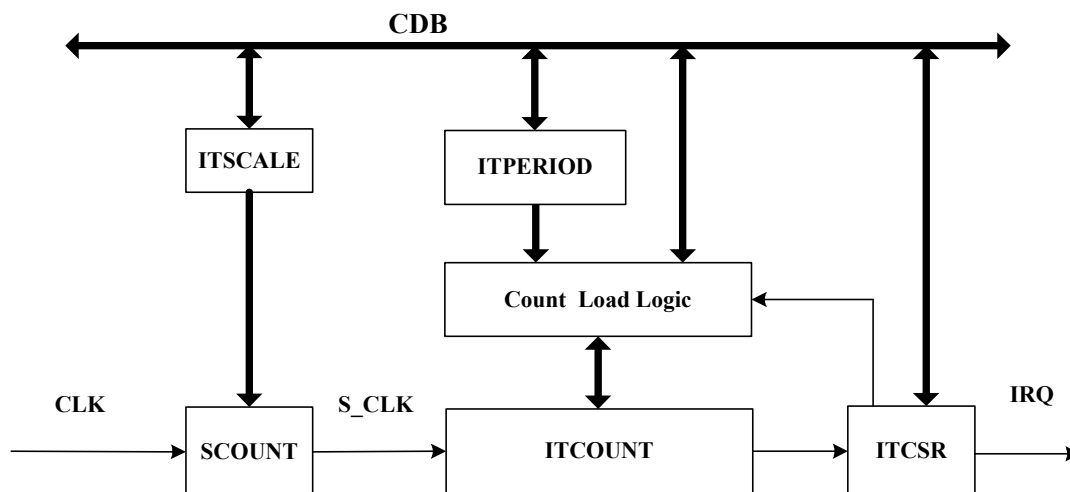


Рисунок 5.1. Структурная схема ИТ.

В состав интервального таймера входят следующие основные узлы:

- ITCSR - регистр управления и состояния;
- ITCOUNT - счетчик основного делителя;
- ITPERIOD - регистр периода основного делителя;
- ITSCALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера.

5.3 Регистры интервального таймера

Перечень программно-доступных регистров интервального таймера приведен в Таблица 5.1.

Таблица 5.1. Перечень программно-доступных регистров интервального таймера.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
ITCSR[2:0]	Регистр управления и состояния	W/R	0
ITPERIOD[31:0]	Регистр периода	W/R	FFFF_FFFF
ITCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R	0000_0000
ITSCALE[7:0]	Регистр предделителя частоты	W/R	0000

Формат регистра ITCSR приведен в Таблица 5.2.

Таблица 5.2. Формат регистра ITCSR.

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в бит Timer регистра QSTR (на входе этого регистра он объединяется по «логическому или» с одноименными разрядами регистров управления и состояния таймеров WDT и RTT). Сбрасывается при записи нуля в этот разряд.

8-разрядный регистр ITSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр ITPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты ITCOUNT работает в режиме делителя. На вход этого счетчика поступает частота (S_CLK) с выхода счетчика предделителя.

5.4 Программирование ИТ.

Перед началом работы с интервальным таймером необходимо загрузить значение периода в регистр ITPERIOD и значение коэффициента предделения частоты в регистр ITSCALE.

Для активизации таймера необходимо в бит EN регистра ITCSR записать 1. В момент этой записи содержимое регистров ITSCALE и ITPERIOD переписывается в счетчики SCOUNT и ITCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик ITCOUNT – от частоты S_CLK, формируемой предделителем.

Когда оба счетчика SCOUNT и ITCOUNT достигают нулевого состояния, в регистре ITCSR устанавливается бит INT и формируется запрос на прерывание QSTR[29] (бит TIMER), а содержимое регистров ITSCALE и ITPERIOD опять переписывается в счетчики SCOUNT и ITCOUNT соответственно. Далее таймер работает аналогичным образом.

Запрос на прерывание формируется каждые $\{(itperiod + 1) * (itscale + 1)\}$ тактов работы CPU, где itperiod и itscale – содержимое регистров ITPERIOD и ITSCALE соответственно.

При необходимости, в любой момент времени в ITCOUNT и ITPERIOD можно произвести запись новых данных и тем самым изменить значение обрабатываемого временного интервала.

6. ТАЙМЕР РЕАЛЬНОГО ВРЕМЕНИ

6.1 Назначение

Таймер реального времени (RTT) предназначен для выработки периодических прерываний на основе деления внешней тактовой частоты RTCXTI. Основные характеристики таймера реального времени:

- Число разрядов делителя – 32;
- Программное управление стартом и остановкой таймера;
- Доступ ко всем регистрам обеспечивается в любой момент времени.

6.2 Структурная схема RTT

Структурная схема RTT представлена на Рисунок 6.1.

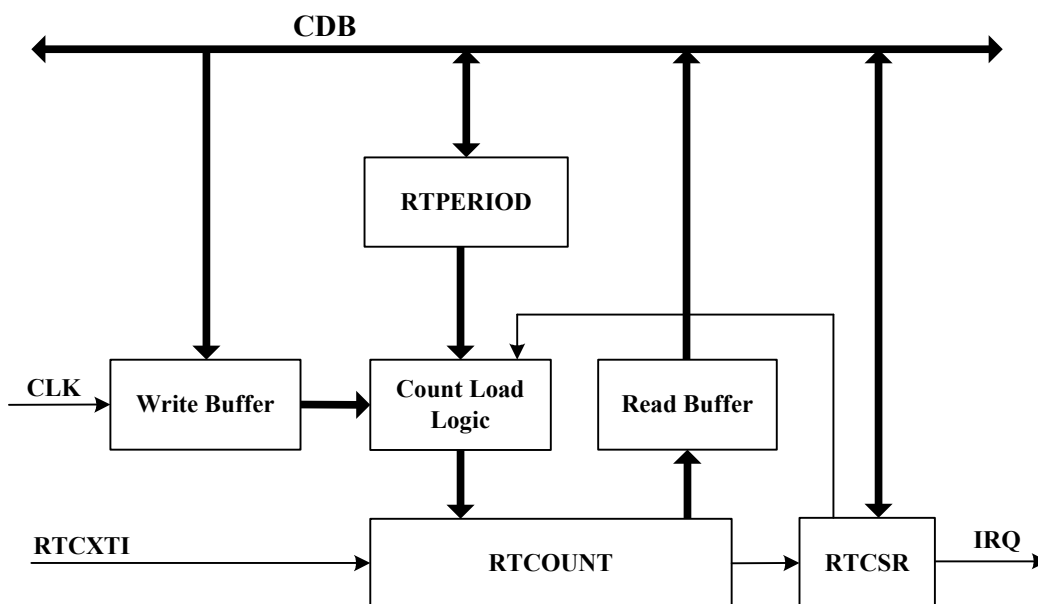


Рисунок 6.1. Структурная схема RTT.

В состав таймера реального времени входят следующие основные узлы:

- RTCSR - регистр управления и состояния;
- RTCOUNT - счетчик основного делителя;
- RTPERIOD - регистр периода основного делителя;
- Count Load Logic - логика загрузки счетчика основного делителя;
- Write Buffer – буфер записи;
- Read Buffer – буфер чтения.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- RTCXTI – внешняя тактовая частота;
- IRQ – запрос на прерывание от таймера реального времени.

На вход таймера реального времени поступает внешняя тактовая частота RTCXTI. Для правильной работы RTT должно выполняться соотношение: $f_{RTCXTI} \leq \frac{f_{CLK}}{7}$, где f_{RTCXTI} и f_{CLK} значения частот RTCXTI и CLK соответственно. Как правило, RTCXTI имеет частоту 32,768 кГц.

6.3 Описание регистров таймера реального времени

В Таблица 6.1 приведен перечень программно-доступных регистров RTT.

Таблица 6.1. Перечень регистров RTT.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
RTCSR[1:0]	Регистр управления и состояния	W/R	0
RTPERIOD[31:0]	Регистр периода	W/R	0000_7FFF
RTCOUNT[31:0]	Регистр счетчика делителя	W/R	0000_0000

Формат регистра RTCSR приведен в Таблица 6.2.

Таблица 6.2. Формат регистра RTCSR.

Номер разряда	Условное обозначение	Описание
0	EN	Разрешение работы таймера: 0 – запрещение работы (неактивное состояние таймера); 1 – разрешение работы (активное состояние таймера).
1	INT	Признак срабатывания таймера. Состояние данного разряда транслируется в бит Timer регистра QSTR (на входе этого регистра он объединяется по «логическому или» с одноименными разрядами регистров управления и состояния таймеров WDT и IT). Сбрасывается при записи нуля в этот разряд.

32-разрядный регистр RTPERIOD используется для задания периода работы таймера. Если RTPERIOD = 0000_7FFF, а частота RTCXTI = 32,768 кГц, то таймер реального времени формирует прерывание каждую секунду.

32-разрядный счетчик RTCOUNT работает в режиме декремента от частоты RTCXTI.

6.4 Программирование RTT.

Перед началом работы с таймером необходимо загрузить данные в регистр RTPERIOD.

Для активизации таймера необходимо в бит EN регистра RTCSR записать 1. В момент этой записи содержимое регистра RTPERIOD переписывается в счетчик RTCOUNT, который начинает работать в режиме декремента. Когда счетчик RTCOUNT достигнет нулевого состояния, в регистре RTCSR устанавливается бит INT и формируется запрос на прерывание QSTR[29] (бит TIMER), а содержимое регистра RTPERIOD опять переписывается в счетчик RTCOUNT. Далее таймер работает аналогичным образом.

При необходимости, в любой момент времени в RTPERIOD и RTCOUNT можно произвести запись новых данных и тем самым изменить значение, обрабатываемого временного интервала.

Следует отметить, что при записи в RTCOUNT, обновление его содержимого происходит с задержкой, равной периоду RTCXTI.

7. СТОРОЖЕВОЙ ТАЙМЕР

7.1 Назначение

Сторожевой таймер (WDT) предназначен для:

- вывода системы из зависания, если программное обеспечение заиклилось и не формирует соответствующих управляющих воздействий;
- выработки прерываний на основе деления тактовой частоты CPU.

Основные характеристики таймера:

- число разрядов основного делителя – 32;
- число разрядов предделителя – 8;
- программное управление стартом и остановкой таймера;
- два режима работы: режим сторожевого таймера (WDM) и режим интервального таймера (ITM);
- два режима отработки временных интервалов: однократный и периодический;
- доступ ко всем регистрам обеспечивается в любой момент времени.

7.2 Структурная схема

Структурная схема сторожевого таймера приведена на Рисунок 7.1.

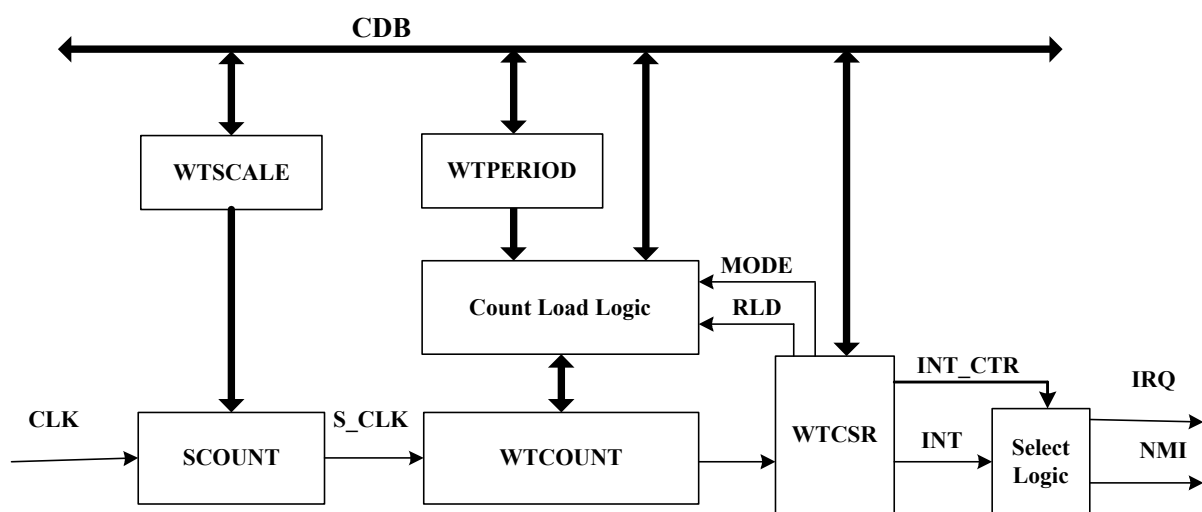


Рисунок 7.1. Структурная схема сторожевого таймера.

В состав сторожевого таймера входят следующие основные узлы:

- WTCSR - регистр управления и состояния;
- WTCOUNT - счетчик основного делителя;
- WTPERIOD - регистр периода основного делителя;
- WTSKALE - регистр предделителя;
- SCOUNT – счетчик предделителя;
- Count Load Logic - логика загрузки счетчика основного делителя.

На структурной схеме интервального таймера использованы следующие обозначения:

- CDB – шина данных CPU;
- CLK – тактовая частота работы CPU;
- S_CLK – выходная частота предделителя;
- IRQ – запрос на прерывание от интервального таймера;
- NMI – немаскируемое прерывание.

7.3 Описание регистров WDT

В Таблица 7.1 приведен перечень программно-доступных регистров WDT.

Таблица 7.1. Перечень программно-доступных регистров WDT.

Условное обозначение регистра	Название регистра	Тип доступа	Исходное состояние
WTCSR[14:0]	Регистр управления и состояния	W/R	0000
WTPERIOD[31:0]	Регистр периода	W/R – в неактивном состоянии; R – в активном состоянии.	FFFF_FFFF
WTCOUNT[31:0]	Регистр счетчика основного делителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000_0000
WTSCALE[15:0]	Регистр предделителя частоты	W/R – в неактивном состоянии; R – в активном состоянии.	0000

8-разрядный регистр WTSCALE используется для задания коэффициента предделения тактовой частоты CPU (CLK), которая поступает на вход счетчика SCOUNT.

32-разрядные регистр WTPERIOD используется для задания периода работы основного делителя.

32-разрядный счетчик основного делителя частоты WTCOUNT работает в режиме декремента. На вход этого счетчика поступает частота S_CLK с выхода счетчика предделителя.

Формат регистра WTCSR приведен в Таблица 7.2.

Таблица 7.2. Формат регистра WTCSR.

Номер разряда	Условное обозначение	Описание
7: 0	KEY	<p>Поле для записи ключей.</p> <p>Запись в это поле последовательности кодов A0 (ключ KEY1) и F5 (ключ KEY2) приводит к переключению таймера из режима сторожевого таймера (WDM) в режим интервального таймера (ITM).</p> <p>Поле доступно по чтению и записи.</p> <p>Поле доступно по записи только в режиме WDM: когда EN=1 или когда таймер находится в состоянии Timeout.</p> <p>Сбрасывается в ноль при переводе таймера из режима ITM в режим WDM.</p> <p>Значение в исходном состоянии – 0.</p>
8	EN	<p>Разрешение работы таймера:</p> <p>0 – запрещение работы (неактивное состояние таймера);</p> <p>1 – разрешение работы (активное состояние таймера).</p> <p>Доступен по чтению и записи. Запись нуля в этот бит при работе таймера в режиме WDM не имеет эффекта.</p> <p>Значение в исходном состоянии – 0.</p>
9	INT	<p>Признак срабатывания таймера.</p> <p>В зависимости от содержимого поля INT_CTR состояние данного разряда транслируется или в бит Timer регистра QSTR (на входе этого регистра он объединяется по «логическому или» с одноименными разрядами регистров управления и состояния таймеров RTT и IT), или в немаскируемое прерывание (NMI).</p> <p>Сбрасывается при записи нуля в этот разряд, а также при переводе таймера из режима ITM в режим WDM.</p> <p>Доступен по чтению и записи в режиме ITM и только по чтению в режиме WDM.</p> <p>Значение в исходном состоянии – 0.</p>
10	MODE	<p>Режим работы таймера:</p> <p>0 – режим сторожевого таймера (WDM);</p> <p>1 – режим обычного таймера (ITM).</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
11	RLD	<p>Бит управления перезагрузкой SCOUNT и WTCOUNT при работе в режиме ITM:</p> <p>0 – таймер однократно обрабатывает временной интервал и останавливается;</p> <p>1 – таймер обрабатывает заданный временной интервал периодически. После обработки очередного временного интервала содержимое WTSCALE и WTPERIOD загружается в SCOUNT и WTCOUNT соответственно.</p> <p>Доступен по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>
13: 12	INT_CTR	<p>Управления типом прерывания, которое формируется таймером WDT:</p> <p>00 – прерывание не формируется;</p> <p>01 – обычное прерывание (QSTR[29]). Как правило, используется в режиме ITM;</p> <p>10 – немаскируемое прерывание (NMI). Как правило, используется в режиме WDM.</p> <p>11 – прерывание не формируется. Формируется внешний сигнал WDT (см. табл. 15.2).</p> <p>Поле доступно по чтению и записи при EN=0 и только по чтению при EN=1.</p> <p>Значение в исходном состоянии – 0.</p>

7.4 Программирование WDT

Диаграмма состояний WDT приведена на рис 7.2.

В исходном состоянии WDT находится в режиме сторожевого таймера. Для перевода его в режим интервального таймера необходимо записать 1 в бит MODE регистра WTCSR. Следует отметить, что смена режима работы таймера посредством записи в бит MODE возможна, если таймер не активен (EN=0).

Перед началом работы с таймером WDT необходимо загрузить значение периода в регистр WTPERIOD и значение коэффициента предделения частоты в регистр WTSCALE.

Для активизации таймера необходимо в бит EN регистра WTCSR записать 1. В момент этой записи содержимое регистров WTSCALE и WTPERIOD переписывается в счетчики SCOUNT и WTCOUNT соответственно. После этого оба счетчика начинают работать в режиме декремента. При этом предделитель работает от частоты CLK, а счетчик WTCOUNT – от частоты S_CLK, формируемой предделителем.

После активизации таймера, WTCOUNT, WTPERIOD, WTSCALE, а также поля INT_CTR, MODE, RLD регистра WTCSR, становятся не доступными по записи.

Сторожевой таймер в режиме WDM необходимо периодически обслуживать. То есть, если он был активизирован в режиме WDM, то для того, чтобы не возникло состояния Timeout необходимо периодически выполнять следующую последовательность действий:

- переключить таймер из режима WDM в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5;
- остановить таймер посредством записи 0 в бит EN регистра WTCSR;
- установить MODE=0;

В случае, если вслед за значением A0 в поле KEY будет записано значение \neq F5, то таймер перейдет в состояние Timeout.

Если после активизации таймера в режиме WDM, он не будет переведен в режим ITM, то, когда оба счетчика SCOUNT и WTCOUNT достигнут нулевого значения, таймер перейдет в состояние Timeout.

В состоянии Timeout таймер формирует признак INT и останавливается, а запись в какой-либо из его регистров блокируется. Для вывода WDT из состояния Timeout необходимо его переключить в режим ITM посредством последовательной записи в поле KEY регистра WTCSR кодов A0 и F5.

При переключении таймера из неактивного состояния в режиме ITM в режим WDM путем записи 0 в поле MODE регистра WTCSR происходит обнуление полей KEY и FLAG.

При работе таймера в режиме ITM при RLD=0 он однократно обрабатывает заданный временной интервал, устанавливает INT=1 и останавливается (когда оба счетчика SCOUNT и WTCOUNT достигают нулевого состояния). Если RLD=1, то каждый раз после достижения счетчиками нулевого состояния и установки INT=1, происходит перезагрузка значений периода и коэффициента предделения частоты. То есть, таймер обрабатывает заданный временной интервал периодически до тех пор, пока он не будет остановлен.

Запрос на прерывание формируется каждые $\{(wtperiod + 1) * (wtscale + 1)\}$ тактов работы CPU, где wtperiod и wtscale – содержимое регистров WTPERIOD и WTSCALE соответственно.

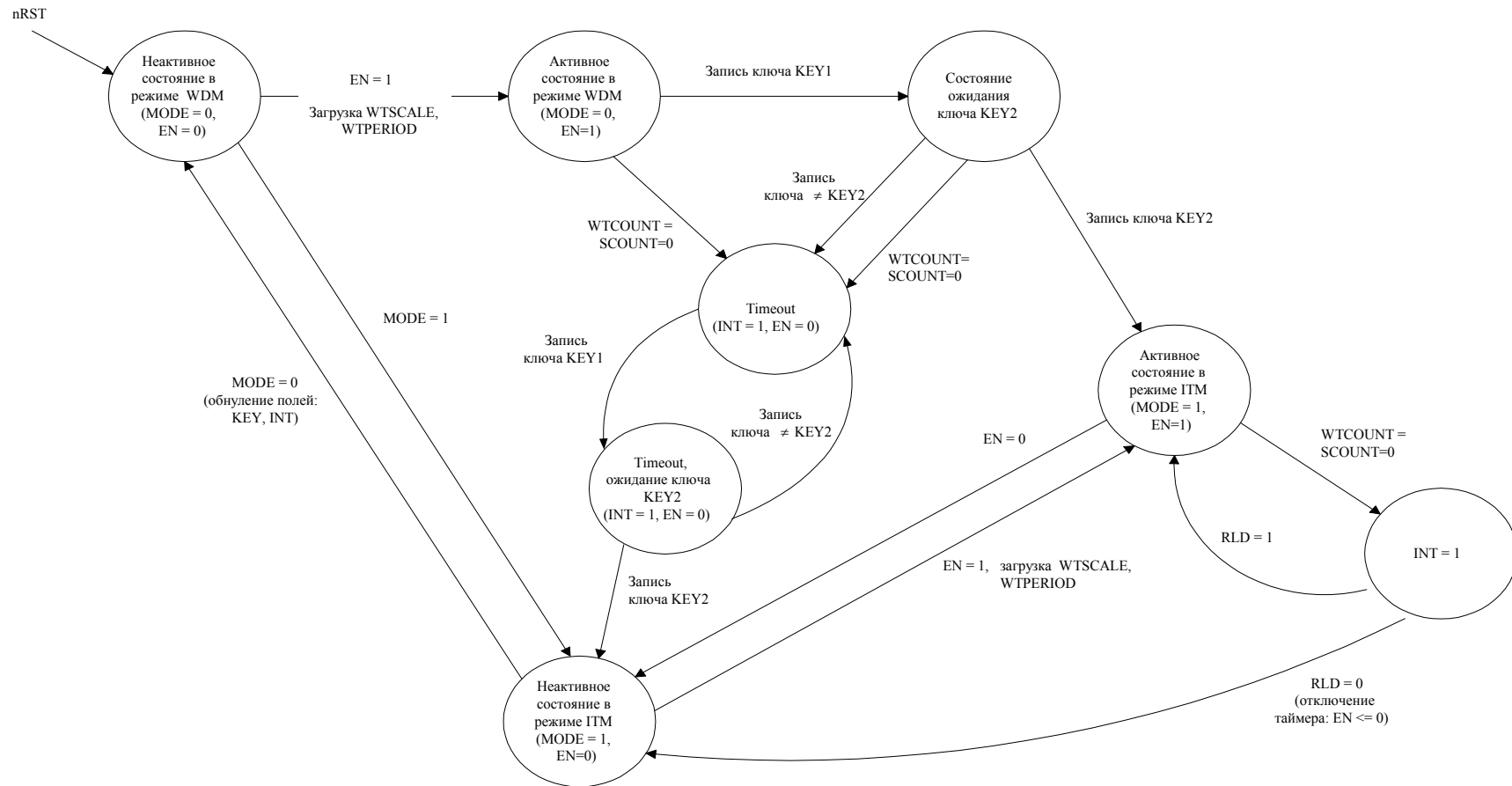


Рисунок 7.2. Диаграмма состояний WDT.

8. КОНТРОЛЛЕР ПРЯМОГО ДОСТУПА В ПАМЯТЬ (DMA)

8.1 Общие положения

8.1.1 Типы каналов

Контроллер DMA 1892BM5Я имеет 14 каналов. Перечень каналов приведен в Таблица 8.1.

Таблица 8.1. Каналы DMA

Условное обозначение канала	Назначение канала	Приоритет каналов DMA и CPU
CPU	-	0
PSch	Обмен данными между шиной PCI и любой памятью 1892BM5Я (внутренней или внешней) по инициативе внешнего задатчика – режим исполнителя (slave).	1
PMCh	Обмен данными между шиной PCI и любой памятью 1892BM5Я (внутренней или внешней) в режиме задатчика (master).	2
LportCh0 – LportCh3	Обмен данными между буферами данных линковых портов и памятью (внешней или внутренней)	3-6
MemCh0 – MemCh3	Обмен данными между внешней памятью и внутренней памятью или между внутренней памятью и внутренней памятью.	7-10 (изменяется циклически)
MemCh4 – MemCh7	Обмен данными между внешней памятью и внутренней памятью или между внутренней памятью и внутренней памятью.	11-14 (изменяется циклически)

Внутренней памятью могут быть CRAM и блоки памяти сопроцессоров DSP0, DSP1: XRAM, YRAM и PRAM. Внешняя память доступна через MPORT.

Каждый канал MemCh[7-0] имеет внешний сигнал запроса передачи данных (nDMAR[7-0] соответственно), позволяющий организовывать эффективный обмен данными с внешними устройствами.

Если при работе DMA изменяется программный код в памяти, то когерентность кэш программ CPU (ICACHE) аппаратно не обеспечивается. В этом случае для обеспечения когерентности используется бит FLUSH в регистре CSR.

8.1.2 Приоритет каналов DMA и CPU

В 1892BM5Я имеются две среды передачи данных: шина CDB (CPU Data Bus) и коммутатор SWITCH (см. Рисунок 1.1).

CPU по шине CDB без конфликтов с DMA обменивается данными с памятью CRAM, с системными регистрами (CSR, MASKR, QSTR), а также с регистрами таймеров (IT, WDT, RTT), сопроцессоров (DSP0, DSP1), линковых портов и контроллера PCI.

Коммутатор обеспечивает передачу данных между любым исполнительным устройством (Slave) и любым задатчиком (Master). Исполнительными устройствами являются блоки внутренней памяти, (CRAM, память DSP0 и DSP1) или любая внешняя память, доступная через MPORT. Задатчиками могут быть CPU и каналы DMA линковых портов, каналы DMA типа память-память и каналы DMA контроллера PCI.

Процесс передачи данных между любыми парами Slave ↔ Master выполняется параллельно и без конфликтов. Конфликт между задатчиками возникает, если они через коммутатор пытаются обменяться данными с одним и тем же исполнительным устройством.

Приоритет CPU и каналов DMA указан в правой колонке Таблица 8.1 (0 – наивысший приоритет).

Взаимный приоритет каналов MemCh[3:0] изменяется циклически следующим образом. Исходное распределение приоритетов между каналами MemCh[3:0] (в порядке их убывания): MemCh0, MemCh1, MemCh2, MemCh3. Далее, после каждой DMA передачи распределение приоритетов изменяется циклическим сдвигом влево, таким образом, что приоритет канала, который выполнил DMA передачу, становится самым низким. Например, если после исходного состояния передал канал MemCh0, то приоритеты распределяются следующим образом: MemCh1, MemCh2, MemCh3, MemCh0. Далее, если передал канал MemCh3, то приоритеты распределяются следующим образом: MemCh0, MemCh1, MemCh2, MemCh3 и т.д.

Взаимный приоритет каналов MemCh[7:4] изменяется циклически аналогичным образом.

8.1.3 Темп передачи

DMA передача одного 32-разрядного слова данных между внутренней памятью и LPORT выполняется за время $TCLK$ (период частоты CLK).

Время DMA передачи одного 32-разрядного слова данных между внешней памятью и LPORT или внутренней памятью, равно:

- для асинхронной внешней памяти – $2 * TCLK + TCLK * N$, где N – число тактов ожидания (код в поле WS регистров $CSCON$, увеличенный на 1).
- для синхронной внешней памяти - $TCLK$.

Каналы линковых портов за один цикл занятия коммутатора SWITCH передают одно слово данных. После передачи этого слова коммутатор данным каналом освобождается.

Каналы MemCh за один цикл занятия коммутатора передают пачку данных. Размер пачки задается полем WN в регистре CSR соответствующего канала DMA и определяется системными требованиями по передаче данных. Если после передачи пачки данных нет запросов от других каналов DMA или CPU, то данный канал без перерыва начинает передавать следующую пачку данных и т.д.

CPU за один цикл занятия коммутатора SWITCH выполняет одну из следующих операций (после этого шина освобождается):

- чтение одного слова данных по команде Load
- запись одного слова данных по команде Store;
- выборка команды из внешней памяти;
- процедура Refill (загрузка из внешней памяти в ICACHE 4 команды), если адрес команды CACHED, а ее нет в ICACHE (ситуация MISS);

8.1.4 Регистры DMA

Для управления работой каждого канала DMA имеются следующие регистры:

- регистр управления и состояния (CSR);
- набор регистров индекса (адрес памяти) и смещения (IOR, IR, OR, Y, Run);
- регистр начального адреса блока параметров DMA передачи (CP).

Следует отметить, что индексные регистры IR и IOR содержат физические адреса памяти.

Для эффективной передачи двумерных массивов (матриц $W[m;n]$) все каналы DMA используют регистр Y, в котором хранятся смещение и число строк в направлении Y.

Разные типы каналов содержат разный набор регистров.

Исходное состояние регистров CSR: разряды 15:0 – нули, а состояние разрядов 31:16 не определено. Исходное состояние остальных регистров не определено.

Псевдорегистр Run предназначен для управления состоянием бита RUN регистра CSR. По его адресу можно установить или сбросить бит RUN, не изменяя состояния других разрядов регистра CSR.

Индексный регистр содержит адрес 32-разрядного слова в памяти (младшие два разряда адреса должны быть равны нулю).

Регистр смещения задает приращение адреса. Содержимое регистра смещения, аппаратно умноженное на 4, прибавляется к индексу после передачи каждого слова данных.

8.1.5 Прерывания DMA

Канал DMA формирует прерывание (при условии, если установлен соответствующий бит в регистре MASKR и бит IM[7] в регистре STATUS RISC-ядра):

- при единичном состоянии бита DONE;
- при единичном состоянии битов END и IM.

Обнуление битов DONE и END (и снятие соответствующего прерывания) выполняется посредством чтения содержимого регистра CSR. Обнуление бита DONE может быть выполнено также записью нуля в него.

8.2 Процедура самоинициализации

Каналы DMA MemCh и LportCh могут выполнять процедуру самоинициализации (выполнение цепочки передач DMA).

Для выполнения самоинициализации в каналах имеется 16-разрядный регистр CP, в котором хранится начальный адрес блока параметров очередного DMA обмена. Эти параметры при самоинициализации аппаратно загружаются в соответствующие регистры канала DMA. Процедура этой загрузки ничем не отличается от обычного DMA обмена. Блок параметров может размещаться только во внутренней памяти MEM.

Блоки параметров, размещаемых в памяти, имеют следующую структуру (в порядке возрастания адресов):

- каналы линковых портов – IR, OR, Y, CP, CSR;
- каналы MemCh7 - MemCh0 – IOR, IR, OR, Y, CP, CSR.

Параметры, соответствующие 16-разрядным регистрам, размещаются в младших разрядах памяти. В слове памяти, соответствующем регистру CSR должно быть: RUN=1, DONE=0. Если необходимо продолжить цепочку команд, то необходимо указать CHEN=1.

Для запуска работы канала DMA в режиме с самоинициализацией необходимо в регистр CP записать адрес первого блока параметров DMA передачи. При этом 31 разряд записываемых данных должен содержать 1 (признак пуска самоинициализации). В результате этого, соответствующий канал загрузит в свои регистры параметры DMA передачи и начнет обмен данными.

После окончания передачи данного блока данных устанавливается в единичное состояние бит END в регистре CSR и выдается прерывание, если бит IM = 1. После этого канал проверяет состояние бита CHEN. Если он равен 1, то будет загружен следующий блок параметров DMA передачи и т.д. В противном случае цепочка DMA обменов закончится и в регистре CSR бит DONE установится в единичное состояние.

При необходимости каналы DMA могут инициализироваться программно. Для этого RISC должен загрузить все необходимые регистры индекса и смещения, а затем регистр CSR. При загрузке регистра CSR бит RUN необходимо установить в единичное состояние. Следует отметить, что бит RUN может быть использован для приостановки канала DMA. Для этого в любой момент времени в него необходимо записать 0.

Следует иметь в виду, что если биты END или DONE имеют единичное состояние, то после считывания содержимого регистра CSR эти биты автоматически обнуляются.

8.3 Каналы обмена данными типа память – память

8.3.1 Описание регистров

2 блока по 4 канала MemCh7 - MemCh4 и MemCh3 - MemCh0 обеспечивают обмен данными между внутренней памятью 1892BM5Я (CRAM, PMEM, XMEM, YRAM) и внешней памятью или между любыми областями внутренней памяти.

Формат регистров состояния и управления этих каналов приведен в Таблица 8.2.

Таблица 8.2. Формат регистра управления и состояния каналов MemCh

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными.
1	DIR	Направление обмена данными: 0 – внутренняя память => внешняя память; 1 – внутренняя память <= внешняя память.
5:2	WN	Число слов данных (пакет данных), которое передается за одно предоставление прямого доступа: 0 – 1 слово, F – 16 слов. Посредством этого параметра можно плавно изменять приоритет каналов DMA относительно RISC и относительно друг друга
6	EN64	Разрядность блоков внутренней памяти XRAM, YRAM, PRAM при DMA обмене: 0 – 32 разряда; 1 – 64 разряда.

Номер разряда	Условное обозначение	Назначение
7	START_DSP	Разрешение запуска работы DSP-ядра (перевод из состояния STOP в состояние RUN) после завершения передачи цепочки блоков данных в момент установки бита DONE: 0 – запуск запрещен; 1 – запуск разрешен.
8	MODE	Режим модификации адреса внутренней памяти: 0 – линейный режим; 1 – режим с реверсивным переносом.
9	2D	Режим модификации адреса внешней памяти: 0 – одномерный режим; 1 – двухмерный режим.
10	MASK	Маска внешнего запроса прямого доступа nDMAR: 0 – запрос запрещен; 1 – запрос разрешен. Если разряд равен нулю, то канал работает только под управлением бита RUN. Если разряд равен 1, то для инициализации канала необходимо также наличие запроса nDMAR (низкий уровень).
11	-	Не используется
12	CHEN	Признак разрешения самоинициализации (выполнения цепочки DMA передач)
13	IM	Маска прерывания при окончании передачи блока данных: 0 – прерывание запрещено; 1 – прерывание разрешено.
14	END	Признак окончания передачи блока данных. Устанавливается в 1 по окончании передачи блока данных. Сбрасывается в 0: при чтении регистра CSR; при выполнении процедуры самоинициализации в момент обновления содержимого регистра CSR, если IM=0
15	DONE	Признак завершения передачи цепочки блоков данных. Устанавливается в 1 после завершения передачи цепочки блоков данных (при CHEN=0), при этом бит RUN сбрасывается. Сбрасывается в 0: при чтении регистра CSR; при выполнении процедуры самоинициализации в момент обновления содержимого регистра CSR. Состояние данного бита дублируется в соответствующий бит регистра QSTR
31:16	WCX	Счетчик слов при одномерной адресации. Счетчик числа слов в строке при двухмерной адресации

Регистр CSR доступен по записи и чтению.

Состоянием разряда 0 регистра CSR можно управлять, используя адрес псевдорегистра Run. При этом остальные разряды этого регистра не изменяются. Эта процедура может быть использована для временной приостановки канала DMA.

При передаче цепочки данных (с использованием самоинициализации) бит END (и прерывание по нему) может быть корректно использован, если IM = 1 во всех блоках параметров инициализации. В том числе и в последнем блоке.

Для задания адресов обмена данными каналы MemCh7 – MemCh0 содержат три регистра:

- 32-разрядный регистр индекса и смещения адреса внутренней памяти IOR;
- 32-разрядный индексный регистр внешней памяти IR;
- 16-разрядный регистр смещения внешней памяти OR.

Формат регистра индекса и смещения IOR_MEM приведен в Таблица 8.3.

Таблица 8.3. Формат регистра индекса и смещения каналов MemCh

Номер разряда	Условное обозначение	Назначение
23:0	ADDR	Адрес внутренней памяти
31:24	OFFSET	Смещение (приращение) адреса внутренней памяти в 32-разрядных словах после передачи каждого слова данных

При линейном режиме модификации адреса внутренней памяти смещение, задаваемое полем OFFSET, имеет диапазон от 0 до 255.

При инверсном режиме модификации адреса внутренней памяти смещение, задаваемое полем OFFSET, кодируется в соответствии с Таблица 8.4.

Таблица 8.4

OFFSET	Величина смещения
0	0
1	2
2	4
3	8
...	...
13	8192
14	16384
15	32768

Поле ADDR в регистре IOR_MEM указывает адрес внутренней памяти относительно базового адреса 1800_0000.

16-разрядный регистр OR содержит код смещения внешней памяти в 32-разрядных словах. Он используется всегда. При адресации в двухмерном режиме он указывает смещение (приращение) в направлении X для перехода к следующему элементу строки. Смещение рассматривается как число со знаком в диапазоне от –32768 до +32767.

При работе каналов MemCh7 – MemCh0 внешняя память может адресоваться в двухмерном режиме. Для этого имеется 32-разрядный регистр Y, формат которого приведен в Таблица 8.6.

Таблица 8.5. Формат регистра Y

Номер разряда	Условное Обозначение	Назначение
15:0	OY	Смещение (приращение) адреса памяти в 32-разрядных словах по направлению Y. Используется только при двухмерной адресации.
31:16	WCY	Число строк по Y направлению. Используется только при двухмерной адресации.

При двухмерном режиме адресации поле WCX регистра CSR содержит число слов в строке (X направление), а поле WCY регистра Y содержит число строк (Y направление). Пересылка каждого слова данных осуществляется по индексному регистру IR с его последующей инкрементацией на величину, соответствующую содержанию регистра смещения или поля OY регистра Y. Двухмерная адресация выполняется следующим образом:

Содержимое счетчика WCX сохраняется в буферном регистре;

- 1 цикл. Индексный регистр внешней памяти модифицируется с использованием смещения OR_MEM. Счетчик WCX декрементируется. Если он равен 0, то переход ко второму циклу.
- 2 цикл. Состояние счетчика WCX восстанавливается из буферного регистра. Индексный регистр внешней памяти модифицируется с использованием смещения OY. Счетчик WCY декрементируется. Если он не равен 0, то переход к первому циклу. Если он равен 0, то работа канала завершается.

Функционально двумерная адресация эквивалентна следующему двойному циклу:

```
for ( i=0; i < WCY; i++ ) { /* Внешний цикл, выполняется WCY раз */
    for ( k=0; k < WCX - 1; k++ ) { /* Внутренний цикл, выполняется WCX-1 раз */
        переслать слово по указателю *(IR) ++ OR; /* Постинкремент указателя*/
    }; /* на OR слов */
    /*
    переслать слово по указателю *(IR) ++ OY; /* Постинкремент указателя */
    */
}; /* на OY слов */
```

8.3.2 Работа по внешним запросам

Каждый канал MemCh[7:0] имеет внешний сигнал запроса передачи (nDMAR[7:0] соответственно), позволяющий организовывать эффективный обмен данными с внешними устройствами. Для работы по внешним запросам необходимо сначала настроить канал DMA (в том числе установить бит MASK регистра CSR_MemCh в «1»), а затем активизировать внешнее устройство на формирование сигналов nDMAR.

По каждому переходу сигнала nDMAR из «1» в «0» DMA выполняет процедуру передачи всего массива данных, заданных полями WCX, WCY. Внешнее устройство может снять сигнал nDMAR в начале передачи данных или выдавать сигнал nDMAR в виде отрицательного импульса длительностью не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).

Следует иметь в виду, что факт перехода сигнала nDMAR из «1» в «0» запоминается в DMA на 2 разрядном счетчике. Это счетчик декрементируется на 1 в момент представления данному каналу права на передачу в соответствии с его текущим приоритетом.

Необходимо также учитывать то, что факт перехода сигнала nDMAR из «1» в «0» запоминается в DMA при MASK=1 вне зависимости от состояния бита RUN. Если в процессе работы в DMA будет запомнен «лишний» факт перехода сигнала nDMAR из «1» в «0», то его можно сбросить, выполнив фиктивный DMA обмен.

8.3.3 Форматы обмена данными

Каналы MemCh обеспечивают следующие форматы обмена данными, которые определяются битами EN64 (регистры CSR DMA) и W64 (регистры CSCON порта внешней памяти):

EN64=0, W64=0;

EN64=0, W64=1;

EN64=1, W64=1.

Обмена данными при EN64=1, W64=0 не реализован, и использовать его запрещено.

Обмена данными при EN64=1, W64=1 можно выполнять только с памятью XRAM, YRAM или PRAM.

Обмен данными по каналам MemCh с внешней памятью типа SRAM выполняется без ограничений.

Чтение данных по каналам MemCh из внешней памяти типа SDRAM выполняется без ограничений.

Запись данных по каналам MemCh в память типа SDRAM должна выполняться следующими способами:

1. Использовать пакеты данных размером в 1 слово (поле WN регистра CSR канала DMA равно 0). При этом возможны все допустимые форматы передачи данных.
2. Использовать только форматы EN64=0, W64=0 или EN64=1, W64=1. При этом пакеты данных должны иметь значение 2, 4, 8 или 16, а начальный адрес блока данных должен быть выровнен по границе страницы SDRAM (см. 10.2.7).

8.4 Каналы DMA линковых портов

Для обслуживания линковых портов имеется 4 канала DMA: LportCh0, LportCh1, LportCh2, LportCh3.

Формат регистров управления и состояния CSR_Lp0, CSR_Lp1, CSR_Lp2, CSR_Lp3 каналов DMA линковых портов приведен в Таблица 8.6.

Таблица 8.6. Формат регистров управления и состояния DMA линковых портов

Номер разряда	Условное обозначение	Назначение
0	RUN	Состояние работы канала DMA: 0 – состояние останова; 1 – состояние обмена данными.
8:1	-	Резерв
9	2D	Режим модификации адреса памяти: 0 – одномерный режим; 1 – двухмерный режим.
11:10	-	Резерв
12	CHEN	Признак разрешения самоинициализации (выполнения цепочки DMA передач)
13	IM	Маска прерывания при окончании передачи блока данных: 0 – прерывание запрещено; 1 – прерывание разрешено.
14	END	Признак окончания передачи блока данных
15	DONE	Признак завершения передачи цепочки блоков данных. Аппаратно устанавливается в 1 после завершения передачи данных (при CHEN=0), при этом бит RUN сбрасывается. Доступен по записи и чтению. Состояние данного бита дублируется в соответствующий бит регистра QSTR
31:16	WCX	Счетчик слов при одномерной адресации. Счетчик числа слов в строке при двухмерной адресации.

Для задания адреса памяти (внутренней или внешней) каналы DMA линковых портов содержат два регистра:

32-разрядный индексный регистр памяти IR;

16-разрядный регистр смещения памяти OR.

16-разрядный регистр OR_MEM содержит код смещения памяти в 32-разрядных словах. Он используется всегда. При адресации в двухмерном режиме он указывает смещение в направлении X. Смещение рассматривается как число со знаком в диапазоне от –32768 до +32767.

При работе каналов LportCh внутренняя и внешняя память могут адресоваться в двухмерном режиме аналогично каналам MemCh.

8.5 Каналы DMA PMCh, PSCh

Каналы PMCh, PSCh описаны в разделе 9.

9. КОНТРОЛЛЕР ШИНЫ PCI

9.1 Общие положения

Контроллер PCI (PMSC – PCI Master-Slave controller) обеспечивает обмен данными между шиной PCI в соответствии со спецификацией Local Bus Specification Rev. 2.2 и любой областью памяти микропроцессора и выполнение программного ввода-вывода данных из CPU на шину PCI.

Данные между PMSC и шиной PCI передаются 32-разрядными словами с частотой до 100 МГц.

PMSC имеет аппаратные средства для организации мультипроцессорных систем.

Для обмена данными между PCI и памятью микропроцессора в контроллере PMSC имеются два канала DMA:

- канал PSCh выполняет обмен данными в режиме Target на PCI. Он настраивается и управляется из шины PCI;
- канал PMCh выполняет обмен данными в режиме Master на PCI. Он настраивается и управляется как по шине CDB, так и из шины PCI (для целей тестирования).

CPU с шиной PCI может выполнять программный ввод-вывод данных через окно размером 16 Мбайт.

Структурная схема PMSC приведена в Таблица 9.1.

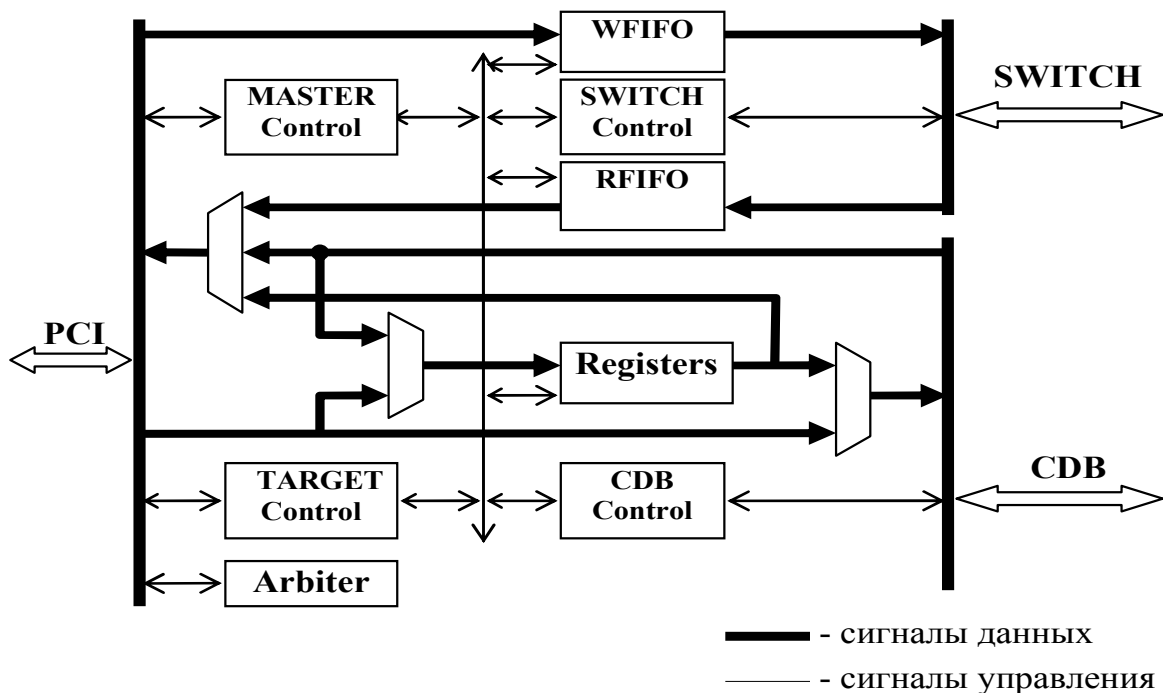


Таблица 9.1 Структурная схема PMSC

В состав PMSC входят следующие основные узлы:

1. Блок регистров Registrers, включающий:
 2. Конфигурационные регистры шины PCI:
Device ID/Vendor ID, Status/Command, Class Code/Revision ID, Subsystem ID/Subsystem Vendor ID, BAR0, BAR1, Latency Timer, Interrupt Line;
 3. Регистры управления обменом:
CSR_PMCh, AR_PCI, IR_Master, IR_Target, CSR_PCI;
 4. Регистры передачи вектора прерывания: MBR и SEM;
 5. Регистр адреса начальной загрузки AR_BOOT.
6. Блоки CDB control и SWITCH control обеспечивают сопряжение с шиной CDB и коммутатором SWITCH;
7. Блоки WFIFO и RFIFO обеспечивают согласование скоростей передачи данных по шине PCI и коммутатору SWITCH при записи в память и чтении из памяти. Объемом каждого блока составляет шестнадцать 32-разрядных слов.
8. Блоки TARGET control и MASTER control реализуют каналы DMA PSCh и канал DMA PMCh для обмена данными между PCI и коммутатором SWITCH.
Канал PSCh выполняет обмен данными в режиме Target на PCI. Он настраивается и управляется из шины PCI.
Канал PMCh выполняет обмен данными в режиме Master на PCI. Он настраивается и управляется как по шине CDB, так и по шине PCI (для целей тестирования). Канал PMCh используется также процессором при программном вводе-выводе данных на шину PCI.
9. Блок Arbiter – арбитр шины PCI.

9.2 Регистры PMSC

Перечень регистров PMSC, доступных со стороны шин PCI и CDB, приведен в Таблица 9.2.

Таблица 9.2. Программно доступные регистры PMSC

Условное обозначение регистра	Название регистра	Смещение адреса	Исходное состояние
Device ID/ Vendor ID	Регистр идентификации устройства	0x00	0x680C2001
Status/Command	Регистр состояния и управления	0x04	0x02000000
Class Code/Revision ID	Регистр кода классификации	0x08	0x07800001
Latency Timer	Регистр времени передачи в режиме Master	0x0C	0x00000000
BAR0 (Base Address Register 0)	Регистр базового адреса 0	0x10	0x00000008
BAR1 (Base Address Register 1)	Регистр базового адреса 1	0x14	0x00000008
Subsystem ID/ Subsystem Vendor ID	Регистр идентификации подсистемы	0x2C	0x00000000
Interrupt_Line	Код прерывания	0x3C	0x0F030100
IR_Target	Регистр адреса памяти при обмене данными в режиме Target	0x40	0x00000000
SEM	Регистр семафора	0x44	0x00000000
MBR	Регистр почтового ящика	0x48	0x00000000
CSR_PCI	Регистр управления и состояния шины PCI	0x4C	0x00000010
CSR_PMCh	Регистр состояния и управления обменом с PCI в режиме Master	0x50	0x00000000
IR_Master	Регистр адреса памяти при обмене данными в режиме Master	0x54	0x00000000
AR_PCI	Регистр адреса шины PCI	0x58	0x00000000
AR_BOOT	Регистр адреса начальной загрузки	0x5C	0x18000000

При описании полей и значений регистров используются обозначения:

- R – разрешено только чтение;
- RW – разрешены чтение и запись;
- RW0 – разрешены чтение и запись, при записи единицы разряд обнуляется;
- [i] – номер разряда;
- i:j – неразрывная группа разрядов, i –старший разряд группы, j –младший;
- 0x – далее следует код в шестнадцатеричной системе счисления;
- PCLK – тактовая частота шины PCI;
- AD – разряды адреса/данных шины PCI.

Смещение адреса определяется разрядами адреса 7:0 шин CDB и PCI

На шине CDB все регистры доступны для записи и чтения по командам процессора Store Word и Load Word .

На шине PCI доступ к регистрам осуществляется в режиме Target по командам Configuration Read, Configuration Write в области адресов Type 0 и по каналу DMA PCh. PMSC завершает операции с регистрами на шине PCI после передачи первого слова установкой требования Disconnect (низкий уровень сигнала nSTOP).

Все регистры доступны для чтения по команде Configuration Read и по каналу DMA PSCh. Регистры Status/Command, BAR0, BAR1, Interrupt_Line, IR_Target, IR_Master, AR_PCI, AR_BOOT доступны для записи по команде Configuration Write и по каналу DMA PSCh. Регистры CSR_PMCh, CSR_PCI, MBR, SEM доступны для записи только по каналу DMA PSCh.

Формат регистров – 32-разрядное слово. Если разряды регистра не используются, то из них считываются нули. При записи в этих разрядах необходимо указывать нули

9.2.1 Конфигурационные регистры

9.2.1.1 Регистры Device/Vendor ID, Class Code/Revision ID и Subsystem ID/Subsystem Vendor ID

32-разрядные регистры Device/Vendor ID, Class Code/Revision ID и Subsystem ID/Subsystem Vendor ID предназначены для хранения кодов в соответствии со спецификацией PCI. По шине PCI эти регистры доступны только по чтению, их состояние может изменить только CPU при инициализации PMSC.

9.2.1.2 Регистр Latency Timer

Формат регистра Latency Timer приведен в Таблица 9.3.

Таблица 9.3 Формат регистра Latency Timer

Номер разряда	Условное обозначение	Назначение	Доступ по шине PCI
31:16	-	Не используется	R
15:8	MLT	Конфигурационная переменная. Определяет время в тактах PCLK, отведенное PMSC для передачи данных в режиме Master. Устанавливается при инициализации шины PCI	RW
7:0	-	Не используется	R

9.2.1.3 Регистр Interrupt Line

Формат регистра Interrupt Line приведен в Таблица 9.4.

Таблица 9.4 Формат регистра Interrupt Line

Номер разряда	Условное обозначение	Назначение	Доступ по шине PCI
31:24	Max_Lat	Содержит максимальную величину времени между двумя передачами данных (burst period) по шине PCI. Max_Lat = 0x0F. Цена одного разряда - 0,25 мкс	R
23:16	Min_Gnt	Содержит минимальную величину времени, на которую PMSC занимает шину PCI при передаче данных (burst period). Min_Gnt = 03. Цена одного разряда - 0,25 мкс	R
15:8	Interrupt Pin	Указывает, что выход прерывания PMSC подключен к линии INTA. Interrupt Pin = 01	R
7:0	Interrupt Line	Используется для реализации системных функций на PCI. Устанавливается при инициализации шины PCI	RW

9.2.1.4 Регистры BAR0, BAR1

Регистры BAR0 и BAR1 определяют базовый адрес PMSC на шине PCI в режиме Target:

1. регистр BAR0 используется для обмена данными с регистрами PMSC и внутренней памятью (CRAM и XRAM, YRAM, PRAM любого из ядер DSP);
2. регистр BAR1 используется для обмена данными с любой областью памяти.

Разряды 31:26 регистров BAR0, BAR1 доступны по записи и чтению, их содержимое устанавливается программно при инициализации PMSC (процессором или внешним контроллером PCI). Разряды 25:0 этих регистров доступны только по чтению кода 0x000_0008, что является индикатором пространства памяти объемом 64 Мбайт.

9.2.1.5 Регистр Status/Command

Формат регистра Status/Command приведен в Таблица 9.5.

Таблица 9.5. Формат регистра Status/Command

Номер разряда	Условное обозначение	Описание	Доступ по шине PCI
31	Parity Error	Признак обнаружения ошибки четности при приеме данных из PCI	RW0
30	-	Не используется.	
29	Master Abort	Признак завершения обмена по условию Master-abort в режиме Master	RW0
28	Target Abort	Признак завершения обмена по условию Target-abort в режиме Master	RW0
27	-	Не используется	
26:25	DEVSEL timing	Конфигурационный параметр PMSC. Определяет задержку выдачи сигнала n DEVSEL в тактах PCLK	R
24	Master Data Parity Error	Признак выдачи или обнаружения сигнала PERR в режиме Master при условии Parity Error Response = 1	RW0
23:16	-	Не используется	R
15:7	-	Не используется	R
6	Parity Error Response	Разрешение формирования сигнала PERR	RW
5:3	-	Не используются	R
2	Bus Master	Разрешение запуска канала PMCh	RW
1	Memory Space	Разрешение запуска канала PSCh	RW
0	-	Не используется	R

Разряды 26:25 доступны из шины CDB только по чтению.

Разряды 29: 28 устанавливаются в 0 при запуске канала DMA PMCh .

9.2.2 Регистры управления обменом

9.2.2.1 Регистр CSR_PMCh

Регистр CSR_PMCh предназначен для запуска канала PMCh и контроля выполнения передачи данных в режиме Master. Канал запускается на передачу данных при записи 1 в нулевой разряд этого регистра и при программном вводе-выводе. Запись в регистр и программный ввод-вывод разрешены при CSR_PMCh[0]=0 и Status/Command[2] = 1.

Формат регистра CSR_PMCh приведен в Таблица 9.6.

Таблица 9.6. Формат регистра CSR_PMCh

Номер разряда	Условное обозначение	Назначение
31:16	WC	Счетчик слов обмена DMA PMCh. Уменьшается на 1 при передаче очередного слова
15	DONE	Прерывание от канала DMA PMCh: 0 – нет прерывания; 1 – прерывание установлено. Устанавливается в 1 при записи 1 в этот разряд, при переходе канала в состояние останова после запуска DMA PMCh и при попытке запуска канала с нулевым числом слов. Устанавливается в 0 при записи 0 в этот разряд и при программном вводе-выводе. Разряд DONE передается на вход PMCh регистра запросов прерываний QSTR
14:5	-	Не используется
4:1	CMD	Разрешенный тип команды при обмене в режиме Master: 0010 – I/O Read; 0011 – I/O Write; 0110 – Memory Read; 0111 – Memory Write; 1010 – Configuration Read; 1011 – Configuration Write. 0110 – Memory Read Multiple; 0110 – Memory Read Line; 0111 – Memory Write Multiple; Остальные значения данного поля зарезервированы. Эти разряды передается на выходы nCBE[3:0] в фазе адреса. В фазе данных на этих выводах устанавливается значение 0xF
0	RUN	Состояние канала DMA PMCh: 0 – состояние останова; 1 – состояние обмена данными. Устанавливается в 1 при разрешенной записи 1 в этот разряд. При попытке запуска с нулевым числом слов, канал остается в состоянии останова. Устанавливается в 0 при завершении обмена на шине PCI. Канал завершает обмен при WC = 0 или при установке в 1 одного из признаков CSR_PCI[29:16]. Для запуска канала с шины PCI необходимо предварительно установить бит Memory Space в регистре Status/Command

Конфигурационная запись в этот регистр игнорируется.

9.2.2.2 Адресные регистры обмена

32-разрядный регистр AR_PCI предназначен для указания начального адреса на шине PCI при передаче по каналу DMA PMCh и при программном вводе-выводе.

При выполнении конфигурационных операций разряды AR_PCI[1:0] определяют тип обмена (Type0 или Type1), а унитарный код в разрядах AR_PCI[31:11] указывает IDSEL адресуемого устройства. Разряды AR_PCI[10:2] должны быть установлены в соответствии со спецификацией Local Bus Specification Rev. 2.2 для адресуемого устройства. Содержимое данного регистра в процессе обмена данными не модифицируется.

32-разрядный регистр IR_Master хранит текущий физический адрес памяти при передаче по каналу DMA PMCh. После передачи каждого слова через коммутатор SWITCH содержимое данного регистра увеличивается на 4.

32-разрядный регистр IR_Target хранит текущий физический адрес памяти при передаче по каналу PSCh. После передачи очередного слова через коммутатор SWITCH содержимое разрядов 25: 0 данного регистра увеличивается на 4. При обменах с регистрами PMSC данный регистр не используется и не изменяется. Формат регистра IR_Target приведен в Таблица 9.7.

При обменах через BAR1 разряды 31:26 адреса памяти определяются разрядами 31:26 регистра IR_Target, остальные - разрядами AD[25: 0] в фазе адреса шины PCI. Для обмена с областью памяти, подключенной к nCS[3], необходимо записать в IR_Target[31:26] код 0x07, а для обмена с областью внутренней памяти - код 0x06.

При обменах через BAR0 контроллер аппаратно устанавливает в разрядах 31:26 базовый адрес внутренней памяти микросхемы (0x06), остальные разряды начального адреса памяти определяются разрядами AD[25: 0] в фазе адреса шины PCI.

Таблица 9.7 Формат регистра IR_Target

Номер разряда	Условное обозначение	Назначение
31:26	ВА	Базовый физический адрес памяти микропроцессора при передаче по каналу PSCh через BAR1. При обменах через BAR0 не используется
25:0	-	При передаче по каналу PSCh указывает текущий адрес памяти в пределах окна

9.2.2.3 Регистр управления и состояния CSR_PCI

Формат регистра CSR_PCI приведен в Таблица 9.8.

Таблица 9.8 Формат регистра CSR_PCI

Номер разряда	Условное обозначение	Назначение
31:30	-	Не используется
29	Master Abort	Состояние признака Master Abort в регистре Status/Command
28	Target Abort	Состояние признака Target Abort в регистре Status/Command
27:21	-	Не используется
20	No Gnt	Признак отсутствия сигнала nGNT в течение 4095 тактов шины PCI после установки сигнала nREQ
19	Retry	Признак требования повтора передачи
18	Disconnect	Признак требования разъединения
17	No Trdy	Признак отсутствия сигнала nTRDY
16	Mlt Over	Признак завершения передачи по Latency Timer
15:8	-	Не используется
7	Test par	Режим формирования выходного сигнала PAR: 0 – сигнал формируется в соответствии с Local Bus Specification Rev. 2.2; 1 – формируется инверсное значение сигнала. Используется для тестирования PMSC
6	Test per	Режим формирования выходного сигнала nPERR: 0 – сигнал формируется в соответствии с Local Bus Specification Rev. 2.2; 1 – в режиме Target формируется инверсное значение сигнала. Используется для тестирования PMSC
5:1	WN	Количество слов, которые должны накопиться в буфере WFIFO для передачи очередной порции данных в коммутатор SWITCH по каналам PMCh и PSCh. Определяется из системных соображений, с точки зрения максимальной скорости передачи данных. Допустимые значения – 4, 8, 16
0	INTA	Состояние вывода nINTA: 0 – высокоимпедансное состояние; 1 – низкий уровень

По шине PCI для записи доступны только разряды 7:0. Конфигурационная запись в этот регистр игнорируется.

Значение поля WN используется каналами PMCh и PSCh при записи данных в память: очередная порция данных в коммутатор передается при накоплении в WFIFO не менее WN слов.

При чтении данных из памяти передача в шину PCI начинается по появлению первого слова в RFIFO.

Разряды 29:28, 20:16 определяют причину окончания передачи по каналу DMA PMCh в соответствии со спецификацией Local Bus Specification Rev. 2.2.

PMSC завершает передачу в режиме Master установкой признака No TRDY при отсутствии сигнала nTRDY в течение времени Master Initial Latency после начала передачи, или в течение времени Master Subsequent Latency после передачи очередной порции данных.

9.2.3 Регистр начальной загрузки AR_BOOT

32-разрядный регистр AR_BOOT предназначен для управления стартом CPU из шины PCI. При установленном режиме PBOOT (высокий уровень одноименного входа микропроцессора) CPU после снятия сигнала nRST ожидает момент записи из шины PCI адреса старта в регистр AR_BOOT, и после этого по нему стартует. Этот адрес должен быть адресом внешней памяти, а блоки этой памяти должны быть подключены к выводам nCS[3] или nCS[4]. Перед записью адреса старта из шины PCI в эти блоки внешней памяти необходимо загрузить программы и данные.

Запись адреса в регистр AR_BOOT может быть выполнена по командам Configuration Write или Memory Write.

9.3 Обмен данными по каналу DMA PMCh

Канал DMA PMCh может выполнять обмен данными между шиной PCI и любой областью памяти микропроцессора. При запуске канала PMCh переходит в режим Master. В этом режиме он может выполнять команды: I/O Read, I/O Write, Memory Read, Memory Write, Configuration Read, Configuration Write, Memory Read Multiple, Memory Read Line, Memory Write and Invalidate. Код выполняемой команды определяется полем CMD регистра CSR_PMCh.

Команды Memory Read Multiple и Memory Read Line выполняются как Memory Read, а команда Memory Write and Invalidate – как Memory Write.

В зависимости от содержимого разрядов AR_PCI[1:0] могут выполняться конфигурационные операции Type 0 и Type 1.

Перед запуском канала необходимо убедиться, что он находится в состоянии останова. Затем следует записать в регистр IR_Master физический адрес первого слова передачи, в AR_PCI записать начальный адрес устройства на шине PCI и запустить канал с параметрами обмена CMD, WC, DONE =0, выполнив запись в регистр CSR_PMCh. После этого PMCh формирует запрос на шину PCI, устанавливая низкий уровень на выходе nREQ и, после получения от арбитра шины разрешения на занятие шины (низкий уровень сигнала nGNT), выполняет передачу WC слов по команде CMD. После завершения передачи в IR_Master хранится увеличенный на 4 адрес последней ячейки памяти обмена, а в поле WC регистра CSR_PMCh – разность количества заказанных и переданных слов.

Для запуска канала необходимо предварительно установить в регистре Status/Command разряды Bus Master=1 и Memory Space=1 (при запуске из шины PCI).

По окончании передачи данных канал PMCh формирует одноименное прерывание через регистр QSTR, если установлен соответствующий бит регистра MASKR.

При обращении к собственным регистрам (или памяти) обмен заканчивается по условию Master-abort.

9.4 Программный обмен данными с шиной PCI

Для обмена данными с шиной PCI по командам Load Word и Store Word в области памяти микропроцессора выделено программное окно PMSC в диапазоне 0x1A000000 - 0x1AFFFFFF. Адрес устройства на шине PCI определяется разрядами 31:24 регистра AR_PCI и разрядами 23:0 адреса шины CDB.

До выполнения программного ввода-вывода необходимо убедиться, что канал DMA PMCh находится в состоянии останова и установлен разряд Bus Master в регистре Status/Command.

При обращении в программное окно PMSC аппаратно запускает канал DMA PMCh с параметрами WC=1, DONE =0. При этом на шине PCI выполняется однословная команда Memory Read, если передача была инициирована командой Load Word, иначе выполняется однословная команда Memory Write.

После передачи данных канал переходит в состояние останова без формирования прерывания PMSC (бит DONE остается нулевым).

9.5 Обмен данными по каналу DMA PSCh

Канал DMA PSCh обеспечивает доступ с шины PCI к регистрам PMSC и памяти микропроцессора в режиме Target. Объем адресного пространства PMSC на шине PCI составляет 128 Мбайт. Оно разбито на два окна по 64 Мбайт каждое.

Первое окно доступно при $AD[31:26] = BAR0[31:26]$ в фазе адреса шины PCI. Канал DMA PSCh отображает это окно на область регистров PMSC при $AD[23:16] = 0x2F$ и на внутреннюю память микропроцессора в остальных случаях. При обменах с регистрами состояние разрядов $AD[25:24]$ и $AD[15:8]$ в фазе адреса шины PCI безразлично. При обращении в зарезервированные области внутренней памяти или в окно выхода на шину PCI данные при записи теряются, а при чтении недостоверны.

Второе окно доступно при $AD[31:26] = BAR1[31:26]$ в фазе адреса шины PCI. Базовый адрес этого окна в адресном пространстве микропроцессора определяется разрядами 31:26 регистра IR_Target, что позволяет адресовать любую область памяти.

Адрес ячейки или регистра в окне определяется разрядами $AD[25:0]$ в фазе адреса шины PCI.

При $BAR1 = BAR0$ обмен производится с памятью окна BAR0.

Канал PSCh запускается на передачу командами Memory Read, Memory Read, Multiple, Memory Read Line и Memory Write, Memory Write and Invalidate при попадании адреса в одно из окон и установленном признаке Memory Space в регистре Status/Command.

Команды Memory Read Multiple, Memory Read Line выполняются как Memory Read, а Memory Write and Invalidate – как Memory Write.

При Memory Space = 0 и в режиме отладки PMSC инициирует завершение обмена по условию Master-abort установкой высокого уровня сигнала nDEVSEL.

Канал DMA PSCh завершает все операции с регистрами PMSC после передачи первого слова установкой требования Disconnect (низкий уровень сигнала nSTOP).

Канал DMA PSCh не поддерживает передачи в режиме fast back – to – back.

9.6 Передача вектора прерывания из шины PCI

Передача вектора прерывания из шины PCI в CPU осуществляется с помощью регистров почтового ящика MBR и семафора SEM.

32-разрядный регистр MBR предназначен для хранения вектора прерывания. Разряд 0 регистра SEM является признаком занятости MBR по записи со стороны шины PCI: при SEM = 0 регистр MBR свободен, а при SEM = 1 – занят. Разряды 31:1 регистра SEM не используются.

Перед записью в регистр MBR со стороны шины PCI следует убедиться, что он свободен. Для этого необходимо опросить состояние семафора SEM командой Memory Read. После выполнения этой команды нулевой разряд регистра SEM аппаратно устанавливается в 1, поэтому при следующем чтении MBR будет уже занят. Этот механизм позволяет избежать конфликта при совместном использовании регистра MBR несколькими драйверами PCI.

При записи в регистр MBR по команде Memory Write формируется признак INT_MBR, поступающий на вход MBR регистра запросов прерываний QSTR. Сбрасывается INT_MBR при считывании MBR по шине CDB. После обработки прерывания признак занятости MBR может быть сброшен записью нуля в регистр SEM командами Memory Write или Store Word.

Конфигурационная запись в регистры MBR и SEM игнорируется.

9.7 Арбитр

Контроллер PMSC содержит арбитр шины PCI, имеющий 5 входов nREQ[4:0] запроса доступа к шине PCI и 5 выходов разрешения доступа nGNT[4:0].

В арбитраже реализована одноуровневая схема приоритета доступа к шине PCI. Взаимный приоритет запросов nREQ[4:0] изменяется циклически в соответствии с Таблица 9.9 после каждого предоставления шины PCI очередному мастеру. Исходное распределение приоритетов между запросами (в порядке их убывания):

nREQ[0], nREQ[1], nREQ[2], nREQ[3], nREQ[4].

Таблица 9.9 Приоритеты

Обслуживаемый запрос	Распределение приоритетов очередного обмен
nREQ[0]	nREQ[1], nREQ[2], nREQ[3], nREQ[4], nREQ[0]
nREQ[1]	nREQ[2], nREQ[3], nREQ[4], nREQ[0], nREQ[1]
nREQ[2]	nREQ[3], nREQ[4], nREQ[0], nREQ[1], nREQ[2]
nREQ[3]	nREQ[4], nREQ[0], nREQ[1], nREQ[2], nREQ[3]
nREQ[4]	nREQ[0], nREQ[1], nREQ[2], nREQ[3], nREQ[4]

9.8 Особенности обмена данными с внешней памятью

При обмене данными между шиной PCI и внешней памятью микропроцессора признак W64 в регистрах CSCON порта внешней памяти может быть 0 или 1.

Обмен данными между шиной PCI и внешней памятью типа SRAM выполняется без ограничений.

Чтение данных из внешней памяти типа SDRAM в шину PCI выполняется без ограничений.

Запись данных из шины PCI во внешнюю память типа SDRAM должна выполняться следующими способами:

1. Обмен данными выполнять одиночными словами. При этом признак W64 в регистре CSCON порта внешней памяти может быть равен 0 или 1.
2. Обмен данными выполнять пакетами по 4, 8 или 16 слов. При этом поле WN регистра CSR_PCI должно иметь аналогичное значение, начальный адрес пакета данных должен быть выровнен по границе страницы SDRAM, а признак W64 в регистре CSCON порта внешней памяти должен быть равен 0.

При обмене данными с внешней памятью следует иметь в виду, что спецификация на шину PCI регламентирует два параметра: Target Initial Latency (16 тактов PCLK) и Target Subsequent Latency (8 тактов PCLK). Поэтому, если внешняя память медленная, то эти параметры могут быть не удовлетворены, и обмен данными не выполнен. При обмене данными с внешней памятью типа SDRAM можно натолкнуться на ее регенерацию, что тоже приведет к нарушению обмена. Необходимо также учитывать соотношение частот данной микросхемы (и соответственно порта внешней памяти) и шины PCI.

10. ПОРТ ВНЕШНЕЙ ПАМЯТИ

10.1 Введение

Порт внешней памяти (MPORT) позволяет организовать интерфейс с широким набором устройств памяти и периферии, асинхронной и синхронной памятью. Внешний интерфейс порта обеспечивает подключение без сложной дополнительной логики синхронной памяти типа SDRAM, а также асинхронной памяти, например EPROM и FLASH.

Порт памяти имеет следующие основные характеристики:

- шина данных внешней памяти – 64 разряда;
- шина адреса внешней памяти – 32 разряда;
- программное конфигурирование типа блока памяти и его объема;
- интерфейс с синхронной динамической памятью типа SDRAM;
- интерфейс с синхронной статической памятью типа SBSRAM;
- интерфейс с асинхронной памятью (SRAM, EPROM, FLASH, FIFO и т.д.);
- режим передачи данных Flyby;
- управление числом тактов ожидания при обмене с асинхронной памятью при помощи внешнего входного сигнала nACK и поля WS регистров CSCON.
- Формирование сигналов выборки 5 блоков внешней памяти.

10.2 Регистры порта внешней памяти

10.2.1 Перечень регистров

Перечень регистров порта внешней памяти приведен в Таблица 10.1.

Таблица 10.1. Регистры порта внешней памяти

Условное обозначение регистра	Название регистра
CSCON0	Регистр конфигурации 0.
CSCON1	Регистр конфигурации 1.
CSCON2	Регистр конфигурации 2.
CSCON3	Регистр конфигурации 3.
CSCON4	Регистр конфигурации 4.
SDRCON	Регистр конфигурации памяти типа SDRAM
CKE_CTR	Регистр управления состоянием вывода CKE

Следует отметить, что если CPU выполняет кэшируемую программу из 64-разрядного блока внешней памяти типа SRAM, то чтение регистров порта внешней памяти категорически запрещено. В этом случае, порт внешней памяти может перейти в неработоспособное состояние.

10.2.2 Регистр конфигурации CSCON0

Регистр CSCON0 предназначен для конфигурирования блока внешней памяти, подключаемого к выводу nCS[0].

Формат регистра приведен в Таблица 10.2.

Таблица 10.2. Назначение разрядов регистра CSCON0

Номер разряда	Условное обозначение	Описание
7-0	CSMASK	Разряды маски 31:24 при определении базового адреса блока. Младшие разряды маски равны нулю.
15-8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.
19-16	WS	Число тактов ожидания при обращении к блоку памяти, если он является асинхронной
20	E	Разрешение формирования сигнала nCS[0]: 0 – запрещено; 1 – разрешено.
22, 21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала nACK; 10 - асинхронная с ожиданием сигнала nACK; 01 – синхронная динамическая; 11 – синхронная статическая.
23	W64	Разрядность блока памяти: 0 – 32 разряда; 1 – 64 разряда.
31-24	-	Резерв

Регистр CSCON0 доступен по записи и чтению. Исходное состояние регистра – 000F_0000.

Сигнал nCS[0] формируется, если $PHA \& CSMASK = CSBA$, где PHA – 32-разрядный физический адрес. Минимальный размер блока – 16 Мбайт (при CSMASK = FF). Для увеличения размера блока в младшие разряды поля CSMASK необходимо записать соответствующее число нулей. Например, для блока размером в 128 Мбайт, разряды 2-0 CSMASK должны быть равны нулю.

Регистры CSCON должны быть сконфигурированы таким образом, чтобы определяемые ими области памяти занимали уникальные адресные пространства. Если эти области перекрываются, то результат обмена данными будет непредсказуем.

В поле WS этого регистра задается количество тактов ожидания в тактах частоты CLK, которое необходимо добавить в цикл шины при обращении к несинхронной внешней памяти. Во время аппаратного сброса процессора во все эти поля записывается значение F (15 тактов).

Управление длительностью циклов обмена с асинхронной памятью осуществляется сигналом nACK и полем тактов ожидания WS. Сигнал nACK позволяет вставлять такты ожидания непосредственно в начатый цикл обмена данными. Количество вставленных тактов ожидания равно максимальному количеству дополнительных тактов, заданных полем WS и сигналом nACK.

10.2.3 Регистр конфигурации CSCON1

Регистр CSCON1 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[1].

Формат регистра приведен в Таблица 10.3.

Таблица 10.3. Назначение разрядов регистра CSCON1

Номер разряда	Условное обозначение	Описание
7-0	CSMASK	Разряды маски 31:24 при определении базового адреса блока памяти. Младшие разряды маски равны нулю.
15-8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.
19-16	WS	Число тактов ожидания при обращении к блоку памяти, если она является асинхронной
20	E	Разрешение формирования сигнала nCS[1]: 0 – запрещено; 1 – разрешено.
22, 21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала nACK; 10 - асинхронная с ожиданием сигнала nACK; 01 – синхронная динамическая; 11 – синхронная статическая.
23	W64	Разрядность сегмента 1: 0 – 32 разряда; 1 – 64 разряда.
31-24	-	Резерв

Регистр CSCON1 доступен по записи и чтению. Исходное состояние регистра – 000F_0000.

10.2.4 Регистр конфигурации CSCON2

Регистр CSCON2 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[2].

Формат регистра приведен в Таблица 10.4.

Таблица 10.4. Назначение разрядов регистра CSCON2

Номер разряда	Условное обозначение	Описание
7-0	CSMASK	Разряды маски 31:24 при определении базового адреса блока памяти. Младшие разряды маски равны нулю.
15-8	CSBA	Разряды 31:24 базового адреса блока памяти. Младшие разряды базового адреса равны нулю.
19-16	WS	Число тактов ожидания при обращении к памяти сегмента 2.
20	E	Разрешение формирования сигнала nCS[2]: 0 – запрещено; 1 – разрешено.
22, 21	T	Тип памяти блока памяти: 00 – асинхронная без ожидания сигнала nACK; 10 - асинхронная с ожиданием сигнала nACK; 01 – резерв; 11 – синхронная статическая.

Номер разряда	Условное обозначение	Описание
23	W64	Разрядность сегмента 2: 0 – 32 разряда; 1 – 64 разряда.
31-24	-	Резерв

Регистр CSCON2 доступен по записи и чтению. Исходное состояние регистра – 000F_0000.

Память, подключаемая к выводу nCS[2], может быть асинхронной или синхронной статической.

10.2.5 Регистр конфигурации CSCON3

Регистр CSCON3 предназначен для конфигурирования блока памяти, подключаемого к выводу nCS[3].

Формат регистра приведен в Таблица 10.5.

Таблица 10.5. Назначение разрядов регистра CSCON3

Номер разряда	Условное обозначение	Описание
15-0	-	Резерв
19-16	WS	Число тактов ожидания при обращении к блоку памяти.
22-20	-	Резерв
23	BYTE	Разрядность памяти сегмента 3: 0 – 32 разряда; 1 – 8 разрядов. Исходное состояние данного разряда соответствует состоянию сигнала на входе BYTE микросхемы во время аппаратного сброса.
24	OVER	Признак того, что при обмене данными с любым блоком асинхронной памяти от нее не поступил сигнал nACK в течение 256 периодов частоты CLK и если установлен режим с ожиданием этого сигнала.
31-25	-	Резерв

Регистр CSCON3 доступен по записи и чтению. Исходное состояние регистра – 000F_0000, или 008F_0000, в зависимости от состояния сигнала на выводе BYTE микросхемы.

Область памяти, определяемая регистром CSCON3, размещается в диапазоне физических адресов от 1C00_0000 до 1FFF_FFFF (64 Мбайт). Память данного блока может быть только асинхронной и 32-разрядной. Доступ к данному блоку памяти всегда разрешен. При обмене данными с этим блоком сигнал nACK безразличен.

Если реальный объем блока памяти, подключаемого к выводу nCS[3] меньше чем 64 Мбайт, то его базовый адрес будет многократно повторяться в диапазоне адресов от 1C00_0000 до 1FFF_FFFF. Например, если объем блока равен 4 Мбайт, то он будет доступен по адресам: с 1C00_0000 до 1C3F_FFFC, с 1C40_0000 до 1C7F_FFFC, ..., с 1FC0_0000 до 1FFF_FFFF.

Как правило, к выводу nCS[3] подключается блок памяти программ, реализованный на FLASH, PROM, EEPROM и т.д. Этот блок, в зависимости от состояния сигнала на выводе микросхемы BYTE может быть 8 – или 32 – разрядным.

8-разрядная память подключается к выводам D[7:0] микросхемы MC-12. Шину адреса A[31:0] к этой памяти необходимо подключать, начиная с 0 разряда (к 32-разрядной памяти адрес подключается, начиная со 2 разряда). 32-разрядное слово из 8-разрядной памяти считывается байтами, причем сначала считывается младший байт. Запись данных в 8-разрядную память выполняется побайтно в соответствии с рекомендациями п. 10.4.2.

Признак OVER формируется, если в соответствующем регистре CSCON бит AE=1, а от памяти не поступил сигнал nACK в течение 256 тактов CLK. В этом случае операция обмена данными заканчивается обычным образом, за исключением того, что считываемые данные не определены, а записываемые данные теряются. Состояние бита OVER не влияет на выполнение последующих операций обмена данными.

10.2.6 Регистр конфигурации CSCON4

Регистр CSCON4 предназначен для конфигурирования области внешней памяти, не вошедшей в области, определяемые регистрами CSCON3-CSCON0.

Формат регистра приведен в Таблица 10.6.

Таблица 10.6. Назначение разрядов регистра CSCON4

Номер разряда	Условное обозначение	Описание
15:0	-	Резерв
19:16	WS	Число тактов ожидания при обращении к памяти
31:20	-	Резерв

Регистр CSCON4 доступен по записи и чтению. Исходное состояние регистра – 000F_0000.

Данная область памяти может быть только асинхронной (без ожидания сигнала nACK) и 32-разрядной. Доступ к ней всегда разрешен.

10.2.7 Регистр управления работой с памятью SDRCON

Формат регистра приведено в Таблица 10.7. Исходное состояние – нули.

Таблица 10.7. Формат регистра SDRCON

Номер разряда	Условное обозначение	Описание
3:0	PS	Размер страницы микросхем SDRAM, подключенных к порту внешней памяти: 0 – 512; 1 – 1024; 2 – 2048; 3 – 4096. Число банков SDRAM – 4.
15:4	RFR	Период регенерации SDRAM в тактах частоты CLK
30:16	-	Резерв
31	INIT	При выполнении процедуры записи 1 в данный разряд выполняется процедура инициализации SDRAM. Время инициализации – не более 2 мкс. В SDRAM устанавливаются следующие режимы работы: Bust Length – 1; CAS latency – 2.

Регистр SDRCON доступен по записи и чтению. Исходное состояние регистра – 0. 31 разряд регистра SDRCON доступен только по записи, при чтении всегда 0.

Для работы со SDRAM ее необходимо инициализировать со следующими параметрами:

- PS (размер страницы) - в соответствии с параметрами SDRAM;
- RFR (период регенерации) – в соответствии с параметрами SDRAM. Например, при тактовой частоте CLK 100 МГц для обеспечения 8 192 цикловой регенерации за 64 мс необходимо в поле RFR записать код 30D, что соответствует 7, 81 мкс на строку;
- задержка чтения (CAS latency) - 2.

Выполнение инициализации SDRAM осуществляется посредством записи в регистр SDRCON соответствующего кода с единицей в 31 разряде. Следует отметить, что перед выполнением процедуры инициализации SDRAM необходимо сконфигурировать регистры CSCON0, CSCON1.

Выводы адреса микросхем SDRAM подключаются к выводам шины адреса и данных порта внешней памяти следующим образом:

- номер банка SDRAM – к выводам BA[1:0];
- адрес A[12:0] SDRAM – к выводам A[14:13], A10, A[11:2] соответственно.

10.2.8 Регистр CKE_CTR

Регистр CKE_CTR предназначен для управления состоянием вывода CKE микросхемы.

Формат регистра приведен в Таблица 10.8.

Таблица 10.8. Назначение разрядов регистра CKE_CTR

Номер разряда	Условное обозначение	Описание
0	CKE	Состояние вывода CKE микросхемы: 0 – низкий уровень; 1 – высокий уровень.
1-7	-	Резерв.
8	INIT_DONE	Признак окончания выполнения процедуры инициализации SDRAM: 0 – инициализация завершена; 1 – инициализация не проводилась.
31-9	-	Резерв.







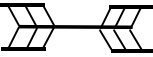

Регистр CKE_CTR доступен по записи и чтению. Исходное состояние регистра – 0000_0101.

10.3 Временные диаграммы обмена данными

10.3.1 Общие положения

При описании временных диаграмм используются условные обозначения в соответствии с Таблица 10.9.

Таблица 10.9. Условные обозначения

Условное обозначение	Описание
	Стабильное значение
	Возможное значение
	область изменения из «0» в «1»
	область изменения из «1» в «0»
	Достоверное значение
	Для входов: Не воспринимается, допустимо любое переключение Для выходов: состояние не определено
	Переключение выхода из (в) высокоимпедансное состояние (центральная линия)
	Повторение сигнала в течение неопределенного времени
T_i	<i>i</i> = 1, 2, ... фаза обмена на временной диаграмме
n	Число дополнительных тактов ожидания, задаваемых полем WS регистров CCON
w	Число тактов ожидания поступления сигнала nACK
nCS_x	Один из четырех сигналов nCS[3:0]

10.3.2 Обмен данными с асинхронной памятью

Временные диаграммы записи данных в асинхронную память приведены на Рисунок 10.1 - Рисунок 10.3.

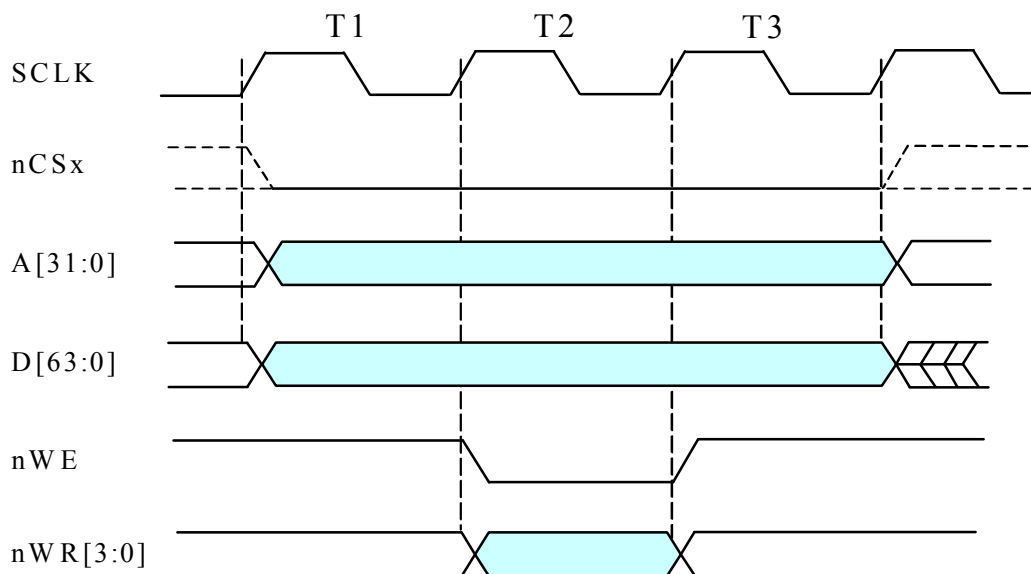


Рисунок 10.1. Запись в асинхронную память без дополнительных тактов ожидания.

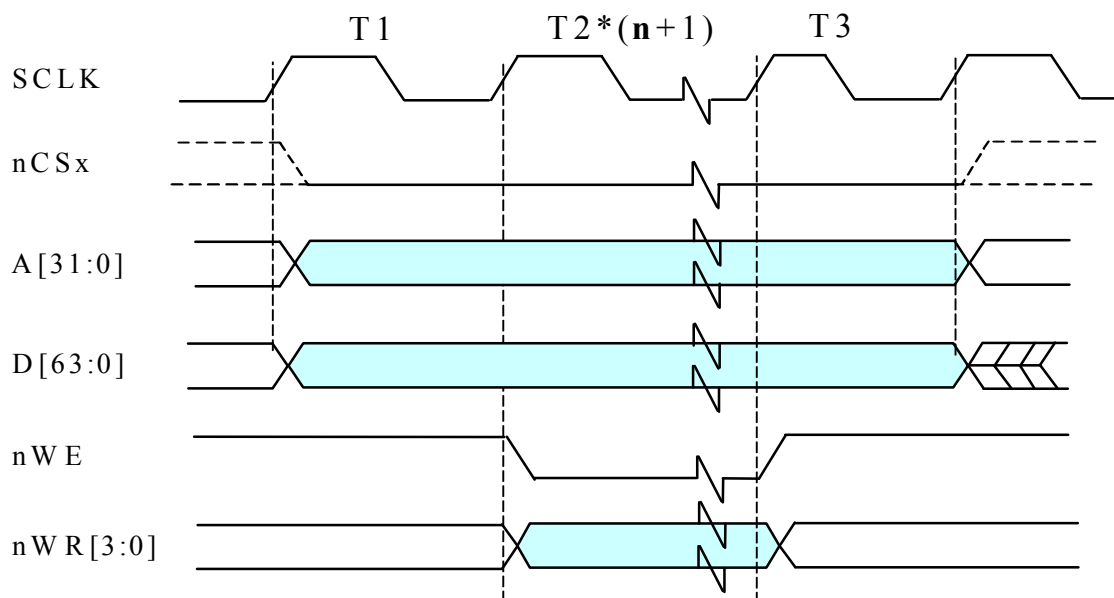


Рисунок 10.2. Запись в асинхронную память с n дополнительными тактами ожидания.

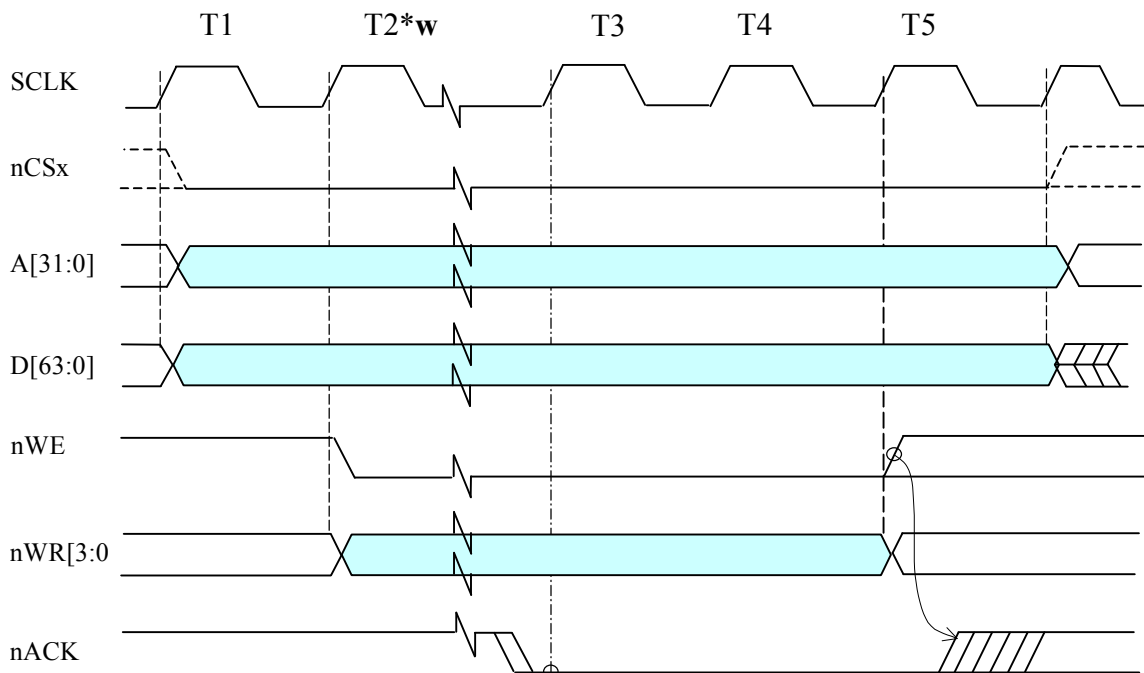


Рисунок 10.3. Запись в асинхронную память с ожиданием сигнала nACK.

Временные диаграммы чтения данных из асинхронной памяти приведены на Рисунок 10.4 - Рисунок 10.6.

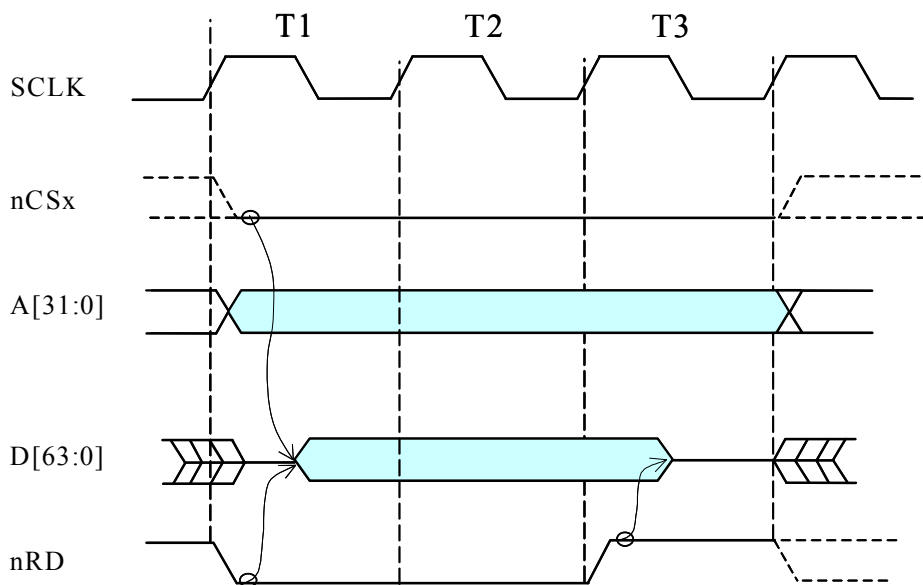


Рисунок 10.4. Чтение асинхронной памяти без дополнительных тактов ожидания.

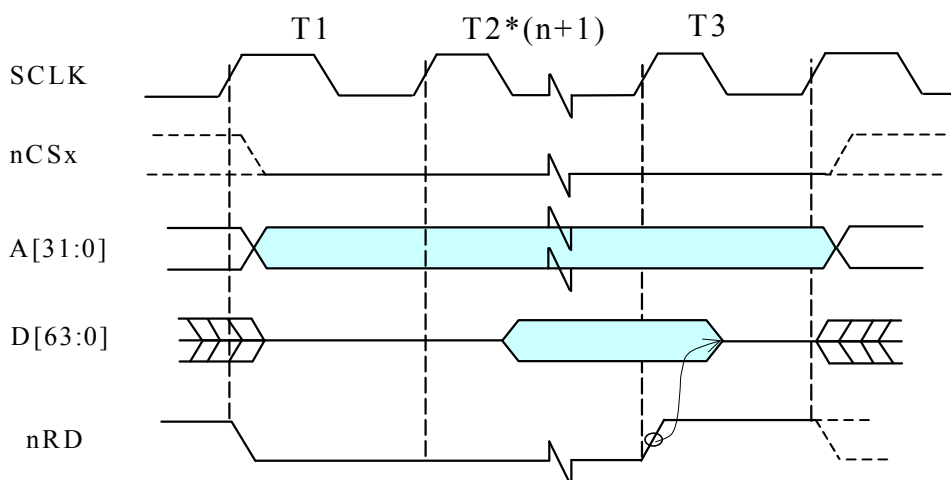


Рисунок 10.5. Чтение асинхронной памяти с n дополнительными тактами ожидания.

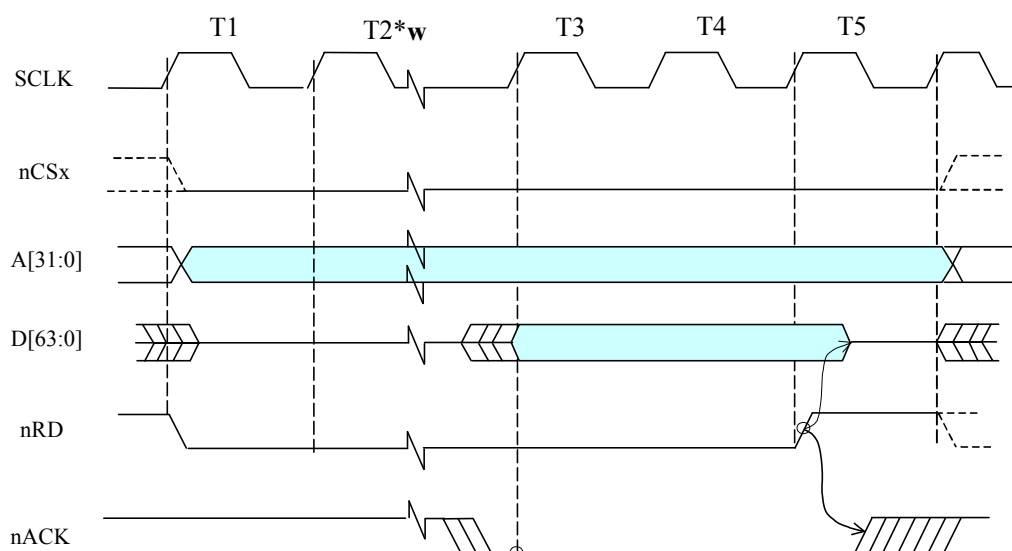


Рисунок 10.6. Чтение данных из асинхронной памяти с ожиданием сигнала nACK.

Как правило, в 3 сегменте внешней памяти размещается постоянное запоминающее устройство (ПЗУ), реализованное на FLASH, PROM, EEPROM и т.д.

В зависимости от состояния сигнала на выводе микросхемы BYTE сегмент 3 внешней памяти может быть 8 – или 32 – разрядным. В режиме BYTE=1 из сегмента 3 возможно только чтение данных. При выполнении записи, данные теряются. На Рисунок 10.7 приведена временная диаграмма чтения 32-разрядного слова из 8-разрядного ПЗУ

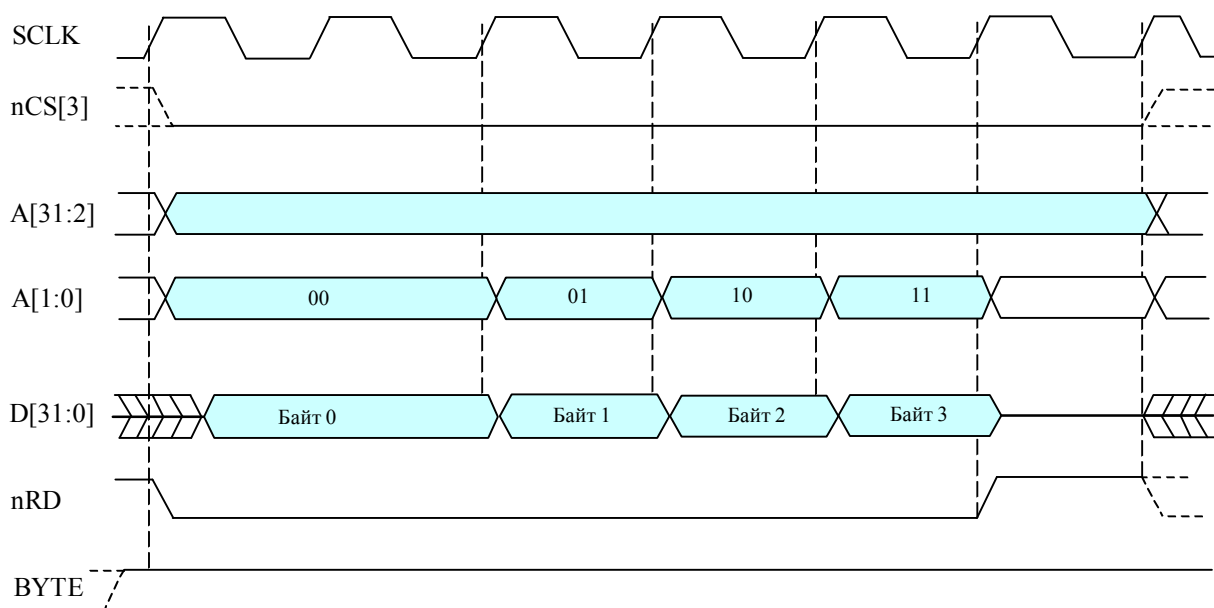


Рисунок 10.7. Чтение 32-разрядного слова из 8-разрядного ПЗУ (BYTE = 1, n = 0).

Если CPU выполняет программу из кэшируемой области внешней памяти, то загрузка строки кэш (процедура Refill) выполняются посредством чтения 4 слов в режиме burst. Адрес, по которому начинается burst, выровнен по 16-байтной границе. На Рисунок 10.8 приведена временная диаграмма выполнение процедуры Refill из 32-разрядной асинхронной памяти. На Рисунок 10.9 приведена временная диаграмма выполнение процедуры Refill из 8-разрядного ПЗУ.

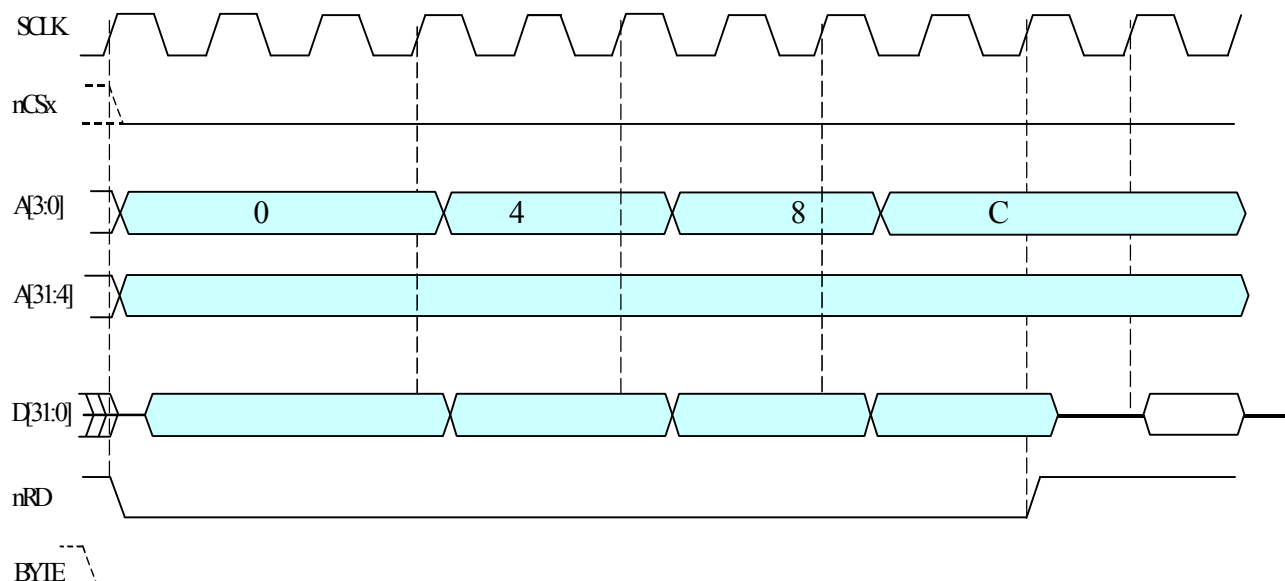


Рисунок 10.8. Выполнение процедуры Refill из 32-разрядной асинхронной памяти (BYTE = 0, n = 0).

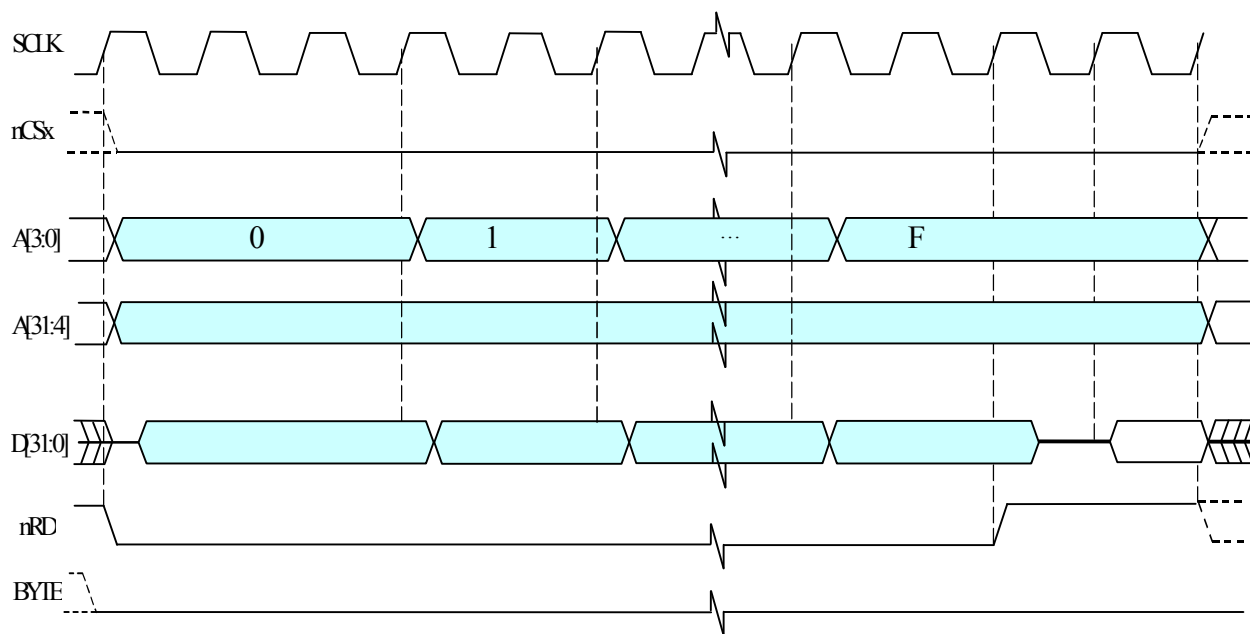


Рисунок 10.9. Выполнение процедуры Refill из 8-разрядного ПЗУ (BYTE = 1, n = 0).

10.3.3 Обмен данными с синхронной памятью

Временные диаграммы с синхронной памятью приведены на Рисунок 10.10 - Рисунок 10.16. Временные диаграммы инициализации и регенерации SDRAM приведены на Рисунок 10.17, Рисунок 10.18 соответственно.

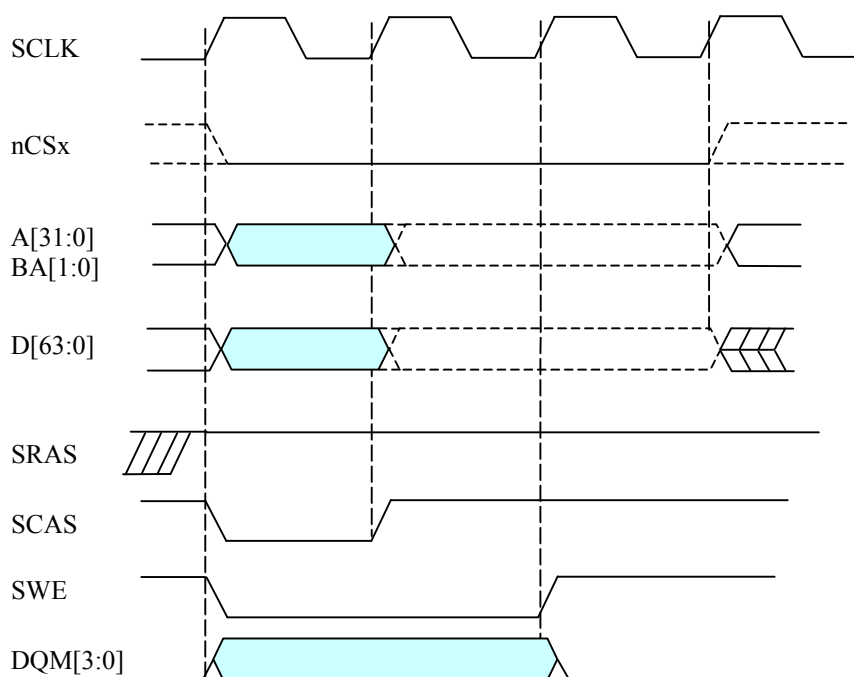


Рисунок 10.10. Запись одного слова данных в синхронную память.

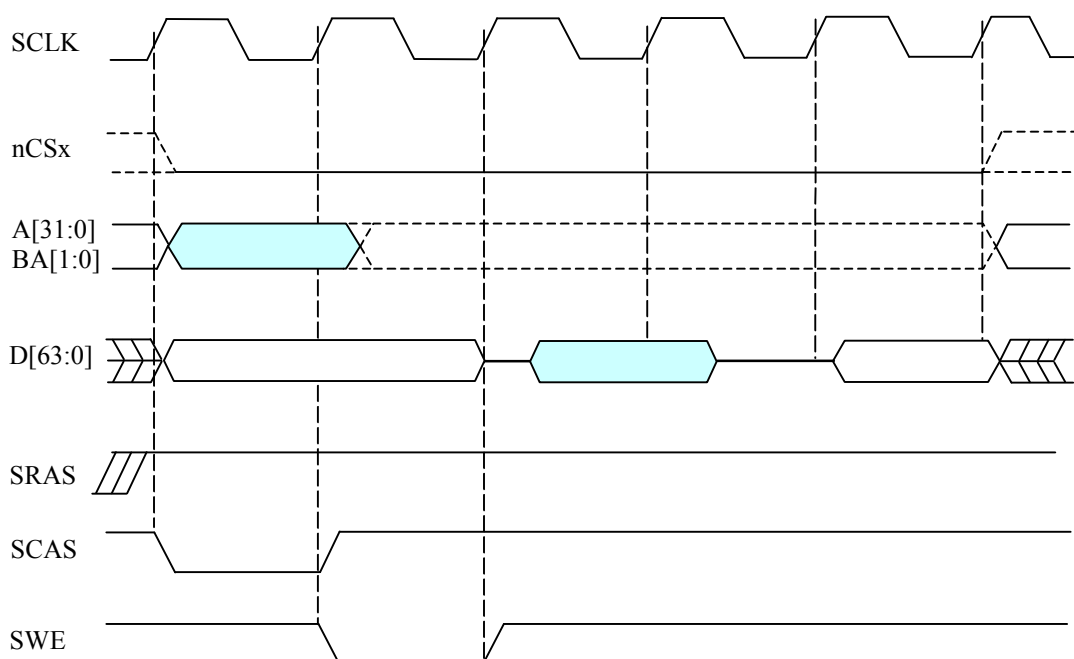


Рисунок 10.11. Чтение одного слова данных из синхронной памяти (здесь и далее CAS latency = 2)

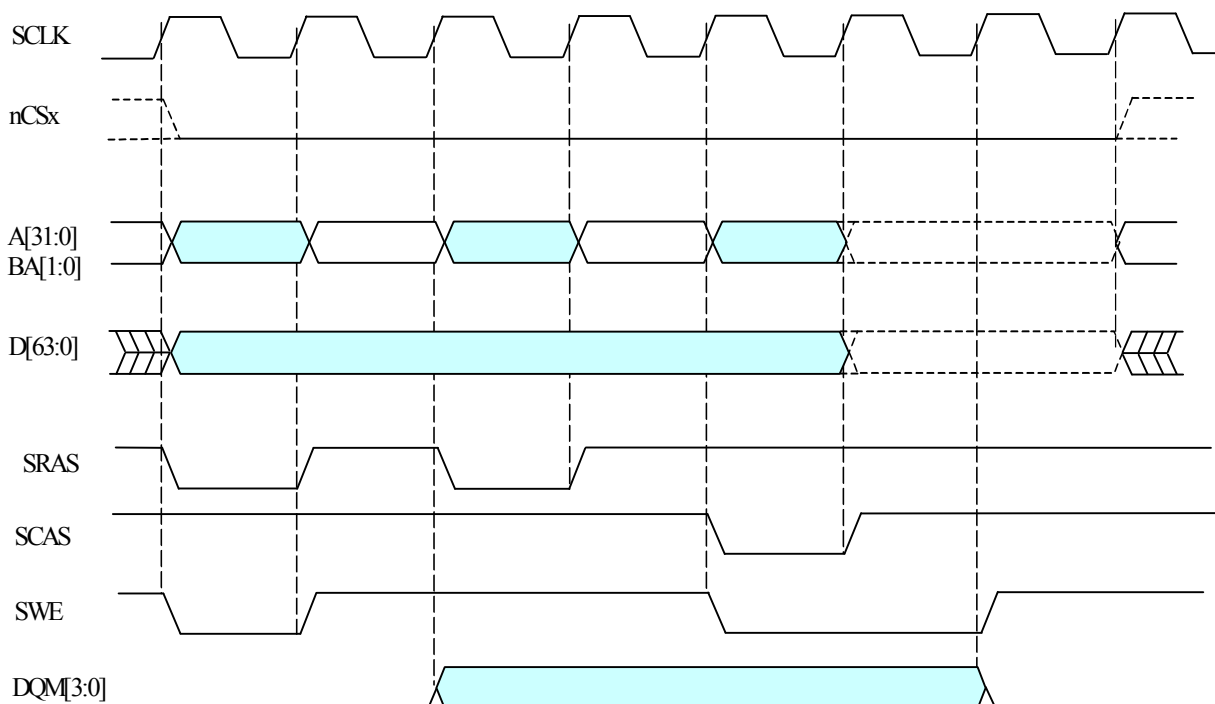


Рисунок 10.12. Запись одного слова данных в синхронную память с деактивизацией строки

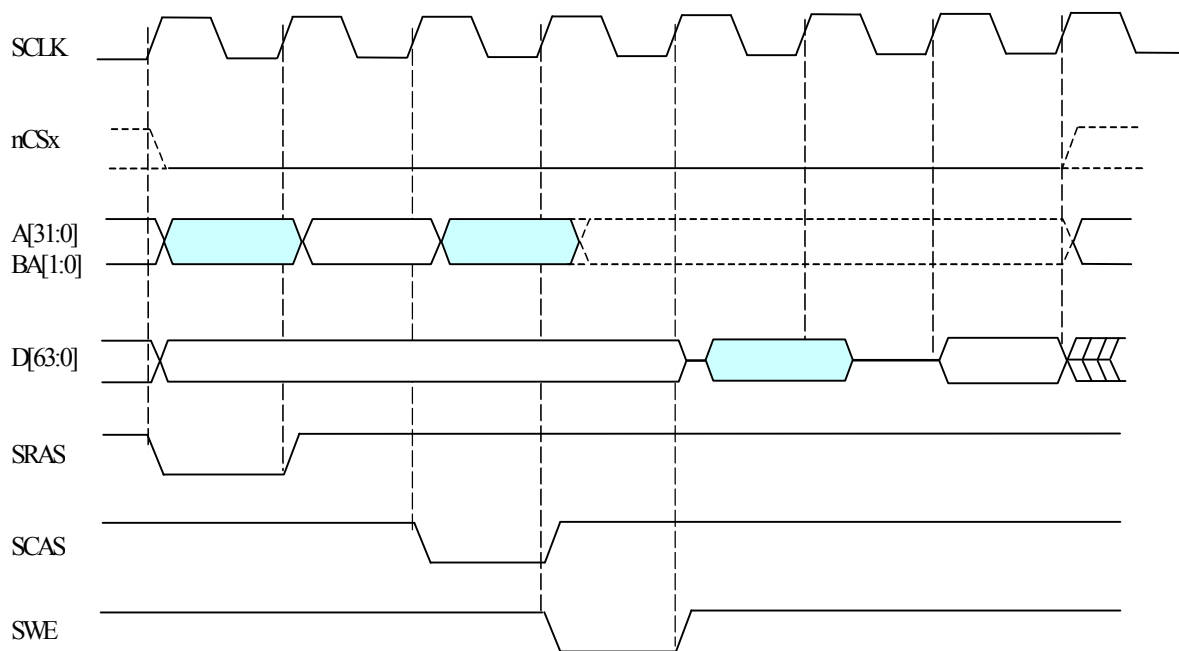


Рисунок 10.13. Чтение одного слова данных из синхронной памяти с активизацией строки.

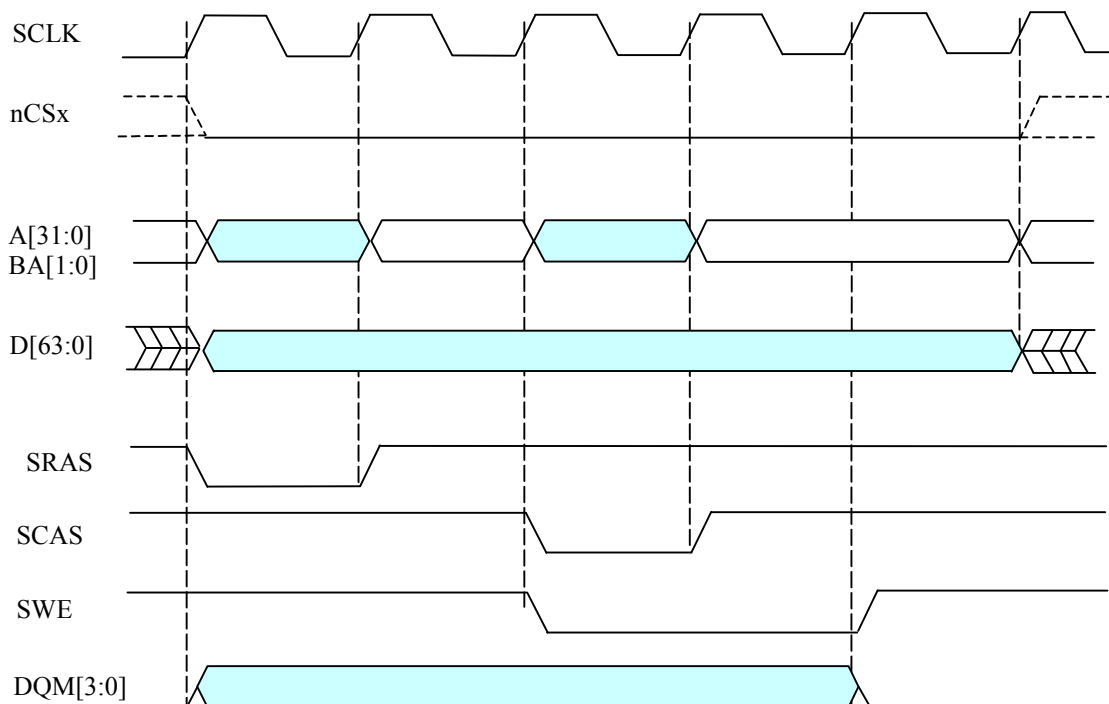


Рисунок 10.14. Запись одного слова данных в синхронную память с активизацией строки.

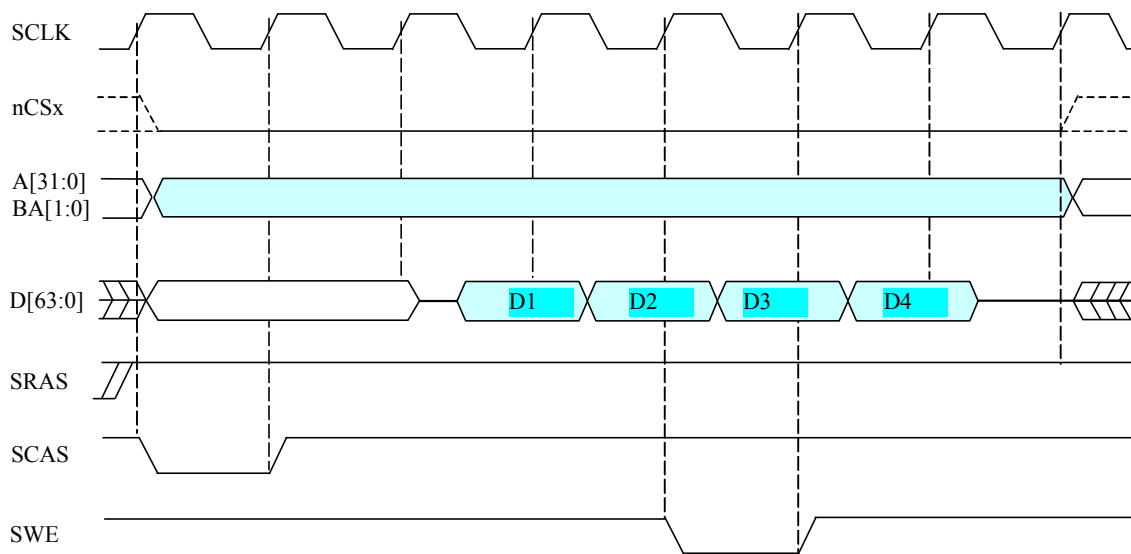


Рисунок 10.15. Чтение 4-х слов данных из синхронной памяти в режиме "burst".

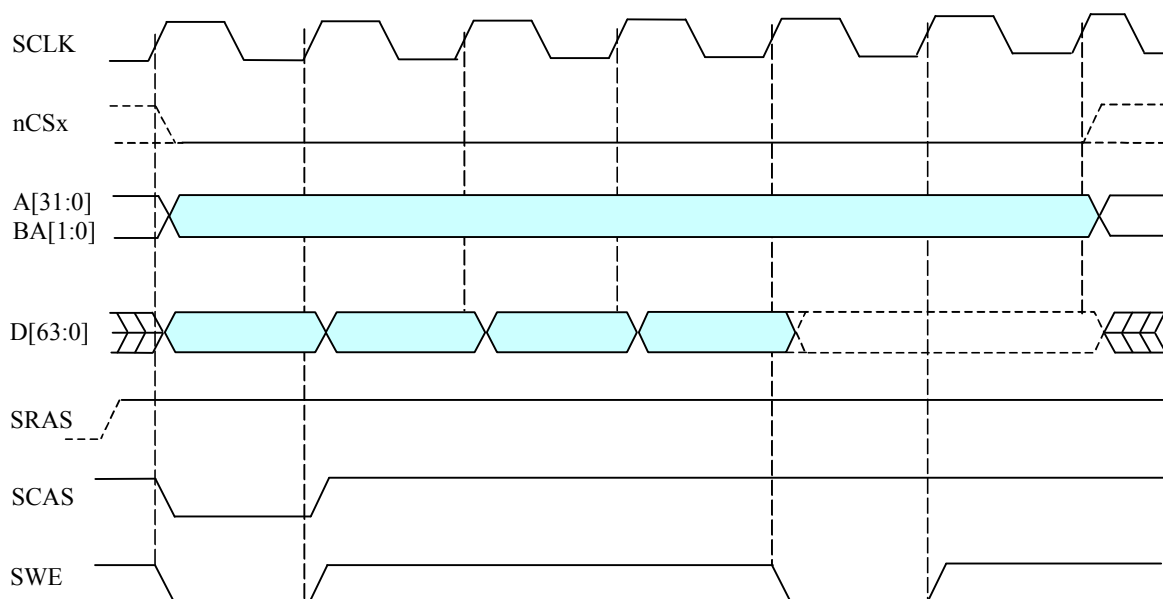


Рисунок 10.16. Запись 4-х слов данных в синхронную память в режиме "burst".

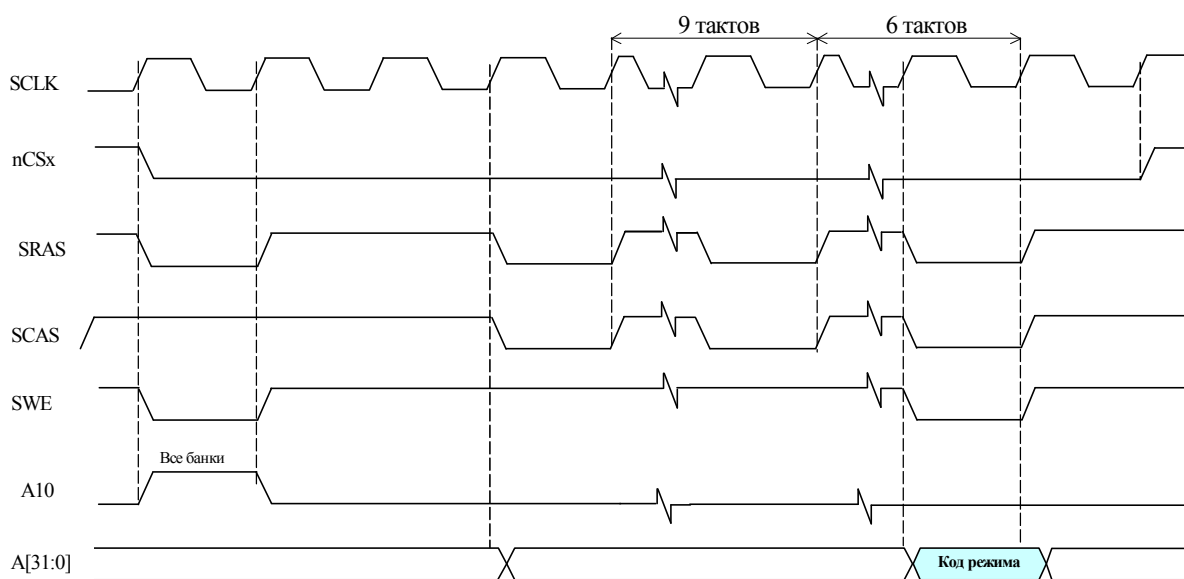


Рисунок 10.17. Инициализация синхронной памяти

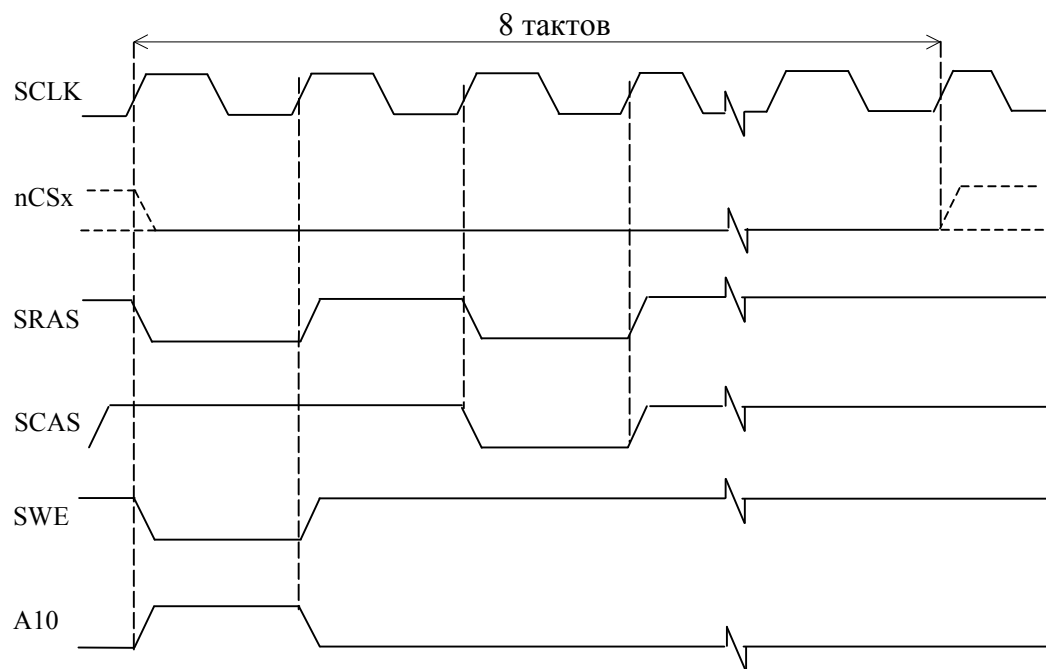


Рисунок 10.18. Временная диаграмма регенерация синхронной памяти.

10.4 Рекомендации по подключению внешней памяти

10.4.1 Память типа SDRAM

Выводы адреса A12:A0, BA1:BA0 микросхем памяти типа SDRAM подключаются к выводам порта внешней памяти A[14:0] и BA[1:0] следующим образом:

- адрес SDRAM A12:A0 – к выводам A[14:13], A10, A[11:2] порта внешней памяти соответственно;
- адрес SDRAM BA1:BA0 – к выводам BA[1:0] порта внешней памяти соответственно.

При обмене данными с 32-разрядным блоком памяти типа SDRAM, физический адрес a28:a2 преобразуется в адрес строки (row address) A12:A0, адрес банка (bank address) BA1:BA0 и адрес столбца (column address) A12:A0 в соответствии с Таблица 10.10 - Таблица 10.12.

Таблица 10.10 Преобразование физического адреса a13:a2 в адрес столбца A12:A0

Размер страницы (строки) микросхем SDRAM	Адрес столбца												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512	0	0	0	0	a10	a9	a8	a7	a6	a5	a4	a3	a2
1024	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
2048	a13	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2
4096	a13	a12	0	a11	a10	a9	a8	a7	a6	a5	a4	a3	a2

Таблица 10.11 Преобразование физического адреса a15:a11 в адрес банка BA1:BA0

Размер страницы (строки) микросхем SDRAM	Адрес банка	
	BA1	BA0
512	a12	a11
1024	a13	a12
2048	a14	a13
4096	a15	a14

Таблица 10.12 Преобразование физического адреса a28:a13 в адрес строки A12:A0

Размер страницы (столбца) микросхем SDRAM	Адрес строки												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13
1024	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
2048	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
4096	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16

При обмене данными с 64-разрядным блоком памяти типа SDRAM, физический адрес a28:a2 преобразуется в адрес строки (row address) A12:A0, адрес банка (bank address)

BA1:BA0 и адрес столбца (column address) A12:A0 в соответствии с Таблица 10.13 - Таблица 10.15.

Таблица 10.13 Преобразование физического адреса a13:a2 в адрес столбца A12:A0

Размер страницы (строки) микросхем SDRAM	Адрес столбца												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512	0	0	0	0	a11	a10	a9	a8	a7	a6	a5	a4	a3
1024	0	0	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3
2048	a14	a13	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3
4096	a14	a13	0	a12	a11	a10	a9	a8	a7	a6	a5	a4	a3

Таблица 10.14 Преобразование физического адреса a15:a11 в адрес банка BA1:BA0

Размер страницы (строки) микросхем SDRAM	Адрес банка	
	BA1	BA0
512	a13	a12
1024	a14	a13
2048	a15	a14
4096	a16	a15

Таблица 10.15 Преобразование физического адреса a28:a13 в адрес строки A12:A0

Размер страницы (столбца) микросхем SDRAM	Адрес строки												
	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14
1024	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15
2048	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16
4096	a29	a28	a27	a26	a25	a24	a23	a22	a21	a20	a19	a18	a17

10.4.2 Память типа Flash

К данной микросхеме можно подключать 32-разрядные или 8-разрядные блоки памяти типа Flash.

32-разрядный блок памяти типа Flash подключается аналогично статическому блоку памяти. Как правило, он подключается к сигналу $nCS[3]$ и используется для старта микропроцессора. Но при необходимости, 32-разрядный блок памяти Flash может быть подключен к любому из 4-х сигналов $nCS[3:0]$. 32-разрядный блок памяти может быть собран из 8, 16 или 32-разрядных микросхем памяти типа Flash.

8-разрядный блок памяти типа Flash подключается только к сигналу $nCS[3]$, а на вход BYTE микропроцессора необходимо подать высокий уровень. Выходную адресную шину микропроцессора необходимо подключать к блоку памяти типа Flash, начиная с 0 разряда (к 32-разрядному блоку памяти адрес подключается, начиная со 2 разряда).

При использовании памяти типа Flash возможны два варианта ее программирования:

1. Микросхемы этой памяти программируются на программаторе и потом распаиваются на плату или устанавливаются в контактирующее устройство.
2. Микросхемы этой памяти программируются на плате через порт JTAG данной микросхемы. Для процесса программирования необходим специальный драйвер, который не входит в состав MC Studio.

Если используется 8-разрядный блок памяти типа Flash и требуется его программирование в составе платы через порт JTAG, то при ее проектировании необходимо иметь в виду следующую особенность данной микросхемы. В этой микросхеме разряды адреса $A[1:0]$ изменяются только при чтении из 8-разрядного блока памяти, а при записи в блок памяти (8- или 32-разрядный) они имеют постоянно нулевое состояние. Поэтому, для обеспечения записи в 8-разрядный блок памяти типа Flash через порт JTAG разряды адреса $A[1:0]$ от данной микросхемы при помощи внешней логики необходимо объединить по логическому «ИЛИ» с двумя сигналами, при помощи которых можно перебрать все состояния адресной шины блока памяти типа Flash.

11. УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПОРТ (UART)

11.1 Общие положения

Универсальный асинхронный порт (далее UART) имеет следующие характеристики:

- по архитектуре совместим с UART 16550;
- частота приема и передачи данных – от 50 Кбод до 1 Мбод;
- FIFO для приема и передачи данных имеют объем по 16 байт;
- полностью программируемые параметры последовательного интерфейса: длина символа от 5 до 8 бит; генерация и обнаружение бита четности; генерация стопового бита длиной 1, 1/2 или 2 бита;
- диагностический режим внутренней петли;
- эмуляция символьных ошибок;
- функция управления модемом (CTS, RTS, DSR, DTR, RI, DCD).

Структурная схема порта UART приведена на Рисунок 11.1.

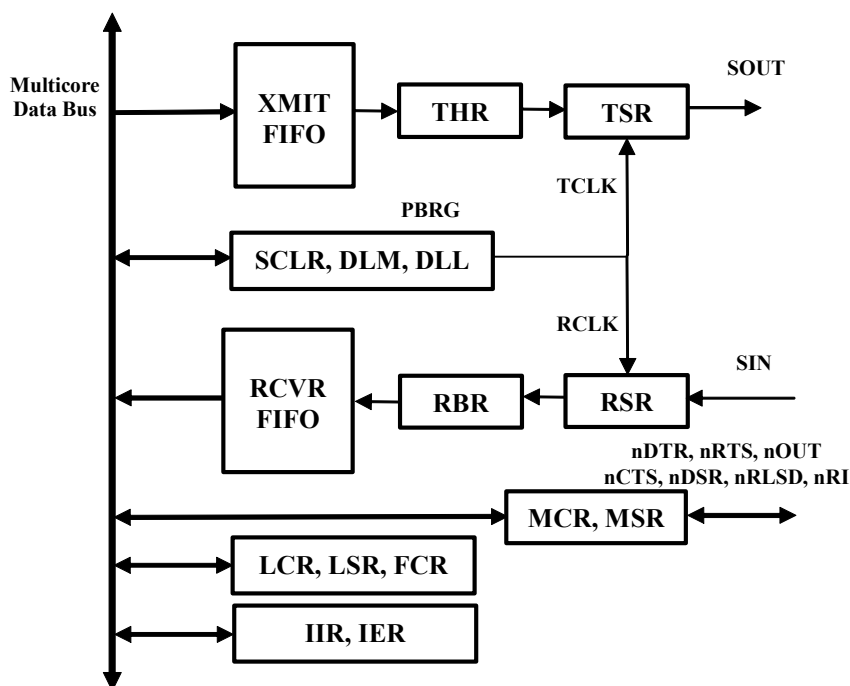


Рисунок 11.1. Структурная схема UART.

Передаваемые данные записываются в регистр THR, а затем аппаратно переписываются в передающий сдвигающий регистр (TSR), если он пуст. После этого в регистр THR может быть записаны следующие данные.

После приема данных в приемный сдвигающий регистр (RSR) данные переписываются в регистр RBR, если он не занят.

Назначение внешних выводов UART приведено в Таблица 11.1.

Таблица 11.1. Внешние выводы UART.

Название вывода	Тип вывода	Описание
SIN	I	Вход последовательных данных
SOUT	O	Выход последовательных данных
nDTR	O	Готовность UART к установлению связи (Data Terminal Ready)
nRTS	O	Готовность UART к обмену данными (Request To Send)
nOUT1	O	Выход общего назначения
nOUT2	O	Выход общего назначения
nCTS	I	Готовность модема к обмену данными (Clear To Send)
nDSR	I	Готовность модема к установлению связи (Data Set Ready)
nDCD	I	Признак обнаружения модемом несущей частоты (Receiver Line Signal Detect)
nRI	I	Признак обнаружения модемом телефонного звонка (Ring Indicator)

11.2 Регистры UART

11.2.1 Общие положения

Перечень регистров UART приведен в Таблица 11.2.

Таблица 11.2. Перечень регистров UART

Условное обозначение регистра	Название регистра	Смещение	Доступ (R-чтение, W-запись)
RBR	Приемный буферный регистр	0 (DLAB=0)	R
THR	Передающий буферный регистр	0 (DLAB=0)	W
IER	Регистр разрешения прерываний	1 (DLAB=0)	R/W
IRR	Регистр идентификации прерывания	2	R
FCR	Регистр управления FIFO	2	W
LCR	Регистр управления линией	3	R/W
MCR	Регистр управления модемом	4	R/W
LSR	Регистр состояния линии	5	R
MSR	Регистр состояния модема	6	R/W
SPR	Регистр Scratch Pad	7	R/W
DLL	Регистр делителя младший	0 (DLAB=1)	R/W
DLM	Регистр делителя старший	1 (DLAB=1)	R/W
SCLR	Регистр предделителя (scaler)	5	W

11.2.2 Регистр LCR

Формат регистра LCR приведен в Таблица 11.3.

Таблица 11.3. Формат регистра LCR

Номер бита	Условное обозначение	Назначение
1:0	WLS (Word Length Select)	Количество бит данных в передаваемом символе: 00 -5 бит, 01 -6 бит, 10 -7 бит, 11 -8 бит.
2	STB (Number Stop Bits)	Количество стоп-бит: 0 - 1 стоп-бит, 1 - 2 стоп-бита (для 5-битного символа стоп-бит имеет длину 1,5 бита). Приемник анализирует только первый стоп бит.
3	PEN (Parity Enable)	Разрешение генерации (передатчик) или проверки (приемник) контрольного бита: 1 – контрольный бит (паритет или постоянный) разрешен, 0 – запрещен.
4	EPS (Even Parity Select)	Выбор типа контроля (при PEN=1): 0 – нечетность, 1 – четность.
5	STP (Stick Parity)	Принудительное формирование бита паритета: 0 – контрольный бит генерируется в соответствии с паритетом выводимого символа, 1 – постоянное значение контрольного бита: при EPS=1 - нулевое, при EPS=0 – единичное.
6	SBC (Set Break Control)	Формирование обрыва линии: 0 – нормальная работа; 1 – на выходе SOUT устанавливается низкий уровень (Spacing level). Это влияет только на выход SOUT, а не на логику передачи символа.
7	DLAB (Divisor Latch Access bit)	Управление доступом к регистрам: 0 – разрешен доступ к регистрам RBR, THR, IER; 1 – разрешен доступ к регистрам DLL, DLM

Исходное состояние регистра LCR – нули.

Бит SBC используется как признак «Внимание» для приемного терминала, подключенному к выходу UART. Для того чтобы не было передано ошибочного символа при использовании бита SBC, необходимо выполнять следующую последовательность действий:

- Загрузить в регистр THR все нули по признаку THRE=1;
- Установить SBC=1 по следующему THRE=1;
- Дождаться TEMT=1.

Для восстановления нормальной передачи необходимо установить SBC=0.

11.2.3 Регистр FCR

Формат регистра FCR приведен в Таблица 11.4.

Таблица 11.4. Формат регистра FCR

Номер бита	Условное обозначение	Назначение
0	FEWO (FIFO Enable)	Разрешение работы XMIT и RCVR FIFO: 0 – символьный режим; 1 – режим FIFO. При изменении состояния этого бита, данные из FIFO, не удаляются. Запись в биты RFR, TFR, RFTL выполняется, если FEWO=1.
1	RFR (Receiver FIFO Reset)	Установка RCVR FIFO в исходное состояние. Регистр RSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
2	TFR (Transmitter FIFO Reset)	Установка XMIT FIFO в исходное состояние. Регистр TSR не обнуляется. После записи 1 в этот бит он автоматически сбрасывается.
5:3	-	Резерв
7:6	RFTL (RCVR FIFO Trigger Level)	Порог заполнения RCVR FIFO (в байтах), при котором формируется прерывание: 00 – 1; 01 – 4; 10 – 8; 11 – 14.

Исходное состояние регистра FCR – нули.

11.2.4 Регистр LSR

Формат регистра LSR приведен в Таблица 11.5.

Таблица 11.5. Формат регистра LSR

Номер бита	Условное обозначение	Назначение
0	RDR (Receiver Data Ready)	Готовность данных. Устанавливается после приема символа данных и передачи его в регистр RBR или FIFO. Сбрасывается после чтения регистра RBR (в символьном режиме) или чтения всего содержимого RCVR FIFO (в режиме FIFO)
1	OE (Overrun Error)	Ошибка переполнения. Устанавливается, если содержимое регистра RBR не было прочитано, в сдвигающий регистр принят следующий символ и начат прием очередного символа. При этом новый символ записывается в сдвигающий регистр вместо старого. В режиме FIFO устанавливается, если после перехода порогового (trigger) уровня FIFO заполнено до конца, во входной сдвигающий регистр полностью принят следующий символ и начат прием очередного символа. При этом в FIFO ничего не передается. Бит сбрасывается при чтении содержимого регистра LSR.
2	PE (Parity Error)	Ошибка контрольного бита (паритета или фиксированного). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. Бит сбрасывается при чтении содержимого регистра LSR.

Номер бита	Условное обозначение	Назначение
3	FE (Framing Error)	Ошибка кадра. Устанавливается, если стоп-бит равен нулю (Spacing level). В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. После этой ошибки UART пересинхронизируется. Бит сбрасывается при чтении содержимого регистра LSR.
4	BI (Break Interrupt)	Обрыв линии. Устанавливается, если вход приема данных находится в состоянии 0 (Spacing level) не менее чем время передачи всего символа. В режиме FIFO этот бит показывает на ошибку в символе, находящемся наверху FIFO. При возникновении этой ситуации, в FIFO загружается только один нулевой символ. Прием следующих символов разрешается после того, как вход приема данных перейдет в единичное состояние (Marking state) и будет принят действительный стартовый бит. Бит сбрасывается при чтении содержимого регистра LSR.
5	THRE (Transmitter Holding Register Empty)	Передающий буферный регистр пуст. Показывает, что UART готов принять следующий символ для передачи. Устанавливается, когда содержимое регистра THR передается в передающий сдвигающий регистр. Одновременно с этим генерируется прерывание THREI, если оно разрешено. Бит сбрасывается при записи символа в регистр THR. В режиме FIFO этот бит устанавливается, когда XMIT FIFO пусто, и сбрасывается, если в XMIT FIFO записывается хотя бы один символ.
6	TEMT (Transmitter Empty)	Передатчик пуст. Устанавливается, если регистры THR и TSR пусты. Имеет нулевое состояние, если хотя бы один из регистров THR и TSR не пуст. В режиме FIFO этот бит устанавливается, если нет символов ни в XMIT FIFO, ни в регистре TSR.
7	EIRF (Error in RCVR FIFO)	Наличие хотя бы одного признака ошибки в FIFO. В символьном режиме этот бит всегда равен нулю. Бит сбрасывается при чтении содержимого регистра LSR, если в FIFO нет больше признаков ошибок.

Исходное состояние бит THRE, TEMT – 1, остальных – 0.

Установка бит OE, PE, FE, BI приводит к формированию прерыванию по состоянию входа приема данных (Receiver Line Status Interrupt), если это прерывание разрешено.

11.2.5 Регистр IER

Формат регистра IER приведен в Таблица 11.6. Исходное состояние регистра IER – нули.

Таблица 11.6. Формат регистра IER

Номер бита	Условное обозначение	Назначение
0	ERBI	Разрешение прерывания по наличию принятых данных (RDAI), а также по таймауту (CTI)
1	ETBEI	Разрешение прерывания по отсутствию данных в регистре THR (THREI)
2	ERLSI	Разрешение прерывания по статусу приема данных (RLSI)
3	EMSI	Разрешение прерывания по статусу модема (MSI)
7:4	-	Резерв

11.2.6 Регистр IIR

Формат регистра IIR приведен в Таблица 11.7.

Таблица 11.7. Формат регистра IIR

Номер бита	Условное обозначение	Назначение
0	IP (Interrupt Pending)	Признак наличия прерывания: 0 – есть прерывание; 1 – нет прерывания.
3:1	IID[2:0]	Код идентификации прерывания в соответствии с Таблица 11.8.
5:4	-	Резерв
7:6	FE	Признак разрешения работы RCVR и XMIT FIFO

Исходное состояние бита IP – 1, остальных – 0.

Таблица 11.8. Идентификация прерываний

Код поля IID[2:0]	Уровень приоритета (1 – наивысший)	Тип прерывания	Причина прерывания	Условие сброса прерывания
011	1	Статус приема данных (RLSI – Receiver Line Status Interrupt)	OE - Overrun Error; PE - Parity Error; FE - Framing Error; BI - Break Interrupt.	Чтение содержимого регистра LSR. Чтение из FIFO символа, по которому сформировано это прерывание. Обнуление FIFO.
010	2	Наличие принятых данных (RDAI – Received Data Available Interrupt)	Наличие данных в регистре RBR или достижение заданного порога FIFO	Чтение содержимого регистра RBR. Считывание данных из FIFO до уровня ниже порогового.
110	2	Таймаут (CTI – Character Timeout Interrupt)	С момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и не было ни чтения FIFO, ни приема очередного символа.	Чтение содержимого регистра RBR. Прием очередного символа. Сброс FIFO.
001	3	Регистр THR пуст (THREI – Transmitter Holding Register Empty Interrupt)	Регистр THR пуст	Запись символа в регистр THR
000	4	Статус модема (MSI – Modem Status Interrupt)	Изменение состояния сигналов на входах порта nCTS, nDSR, nRI, nDCD	Чтение содержимого регистра MSR.

11.2.7 Регистр MCR

Формат регистра MCR приведен в Таблица 11.9.

Таблица 11.9. Формат регистра MCR

Номер бита	Условное обозначение	Назначение
0	DTR	Управление выходом nDTR: 0 – на выходе высокий уровень; 1 – на выходе низкий уровень.
1	RTS	Управление выходом nRTS: 0 – на выходе высокий уровень; 1 – на выходе низкий уровень.
2	Out 1	Управление выходом OUT1: 0 – на выходе высокий уровень; 1 – на выходе низкий уровень.
3	Out 2	Управление выходом OUT2: 0 – на выходе высокий уровень; 1 – на выходе низкий уровень.
4	LOOP	Режим петли. Используется для тестирования UART. При установке этого бита в 1 выполняется следующее: На выходе SOUT UART устанавливается высокий уровень; Вход SIN UART отключается от внешнего вывода; Выход регистра TSR подключается к входу регистра RSR; На выходах nDTR, nRTS, nOUT1, nOUT2 устанавливаются высокие уровни; Входы nCTS, nDSR, nDCD, nRI UART отключаются от внешних выводов; Выходы разрядов DTR, RTS, Out 1, Out 2 регистра MCR подключаются к входам разрядов DSR, CTS, RI, DCD регистра MSR соответственно. В режиме петли передаваемые данные немедленно принимаются. В режиме петли все прерывания формируются как обычно.
7:5	-	Резерв

Исходное состояние регистра MCR – нули.

11.2.8 Регистр MSR

Формат регистра MSR приведен в Таблица 11.10.

Таблица 11.10. Формат регистра MSR

Номер бита	Условное обозначение	Назначение
0	DCTS	Признаки любого изменения состояния входного сигнала CTS. Бит устанавливается в единичное состояние, если сигнал CTS изменил свое состояние после последнего считывания содержимого регистра MSR. Одновременно с этим формируется прерывание MSI, если оно разрешено. Бит сбрасывается при чтении содержимого регистра MSR.
1	DDSR	Признаки любого изменения состояния входного сигнала DSR. Бит устанавливается в единичное состояние, если сигнал DSR изменил свое состояние после последнего считывания содержимого регистра MSR. Одновременно с этим формируется прерывание MSI, если оно разрешено. Бит сбрасывается при чтении содержимого регистра MSR.

Номер бита	Условное обозначение	Назначение
2	TERI	Признаки перехода входного сигнала RI с низкого уровня на высокий уровень. Бит устанавливается в единичное состояние, если сигнал RI изменил свое состояние после последнего считывания содержимого регистра MSR. Одновременно с этим формируется прерывание MSI, если оно разрешено. Бит сбрасывается при чтении содержимого регистра MSR.
3	DDCD	Признаки любого изменения состояния входного сигнала nDCD. Бит устанавливается в единичное состояние, если сигнал nDCD изменил свое состояние после последнего считывания содержимого регистра MSR. Одновременно с этим формируется прерывание MSI, если оно разрешено. Бит сбрасывается при чтении содержимого регистра MSR.
4	CTS	Состояние сигнала на входе nCTS: 0 – на входе высокий уровень; 1 – на входе низкий уровень.
5	DSR	Состояние сигнала на входе nDSR: 0 – на входе высокий уровень; 1 – на входе низкий уровень.
6	RI	Состояние сигнала на входе nRI: 0 – на входе высокий уровень; 1 – на входе низкий уровень.
7	DCD	Состояние сигнала на входе nDCD: 0 – на входе высокий уровень; 1 – на входе низкий уровень.

Исходное состояние бит 3:0 регистра MSR – нули. Биты 7:4 следуют за инверсией состояния соответствующих входных сигналов.

11.2.9 Программируемый генератор скорости обмена

В UART имеется программируемый генератор скорости обмена данными (PBRG – Programmable Baud Rate Generator). Он состоит из 8-разрядного предделителя и 16-разрядного основного делителя частоты. На вход предделителя поступает системная тактовая частота CLK, на которой работает CPU, UART и другие устройства (см. рис. 4.1). Выходная частота предделителя поступает на вход основного делителя. Выходная частота генератора PBRG в 16 раз больше частоты обмена последовательными данными.

Значение частоты на выходе предделителя равно $CLK/(SCLR + 1)$. Коэффициент деления основного делителя задается 16-разрядным регистром, который является конкатенацией регистров DLM и DLL.

Период частот передачи и приема (TCLK и RCLK) UART вычисляется по формуле:

$CLK/(SCLR + 1) / ((\text{конкатенация содержимого регистров DLM и DLL}) * 16)$. Минимальная величина, которая может быть записана в регистры {DLM, DLL}, равна 1.

Исходное состояние регистров DLL, DLM, SCLR – нули.

11.3 Работа с FIFO по прерыванию

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (бит ERI=1 в регистре IER), то в процессе приема:

- формируется прерывание, если число символов в RCVR FIFO достигло запрограммируемого порога. Это прерывание сбрасывается, если при чтении из FIFO число символов оставшихся в нем, станет меньше запрограммируемого порога;

- одновременно с этим в регистре IIR устанавливается индикатор наличия принятых данных RDAI. Индикатор обнуляется, при чтении из FIFO до снижения запрограммируемого порога;
- может возникнуть прерывание по статусу приема данных (RLSI), приоритет которого выше, чем RDA.
- бит RDR в регистре LSR устанавливается в момент передачи символа из регистра RSR в RCVR FIFO. Этот бит обнуляется при считывании из FIFO всех символов данных.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по приему (ERI=1 в регистре IER), то генерируется прерывание по таймауту, если с момента приема последнего символа в RCVR FIFO прошло время, равное длительности передачи 4-х символов и за это время не было:

- ни чтения RCVR FIFO;
- ни приема в RCVR FIFO очередного символа.

При 12-битном символе и скорости передачи 300 бод, прерывание по этой причине возникнет через 160 мс.

При возникновении прерывания по таймауту оно обнуляется при считывании символа из RCVR FIFO. При этом обнуляется и таймер, генерирующий данное прерывание. Если прерывание по таймауту не возникло, то таймер таймаута обнуляется при приеме нового символа или при считывании символа из RCVR FIFO.

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и разрешены прерывания по передаче данных (бит ETI=1 в регистре IER), то генерируется прерывание по передаче следующим образом:

- формируется прерывание THREI, если XMIT FIFO пусто. Это прерывание обнуляется, как только выполняется запись символа в регистр THR (при приеме данного прерывания в XMIT FIFO можно записать от 1 до 16 символов);
- индикатор TEMT в регистре LSR установится в единичное состояние через время равное длительности одного символа минус последний стоп бит, после установки THRE=1. Первое прерывание по передаче (если оно разрешено) формируется немедленно после установки FEWO=1.

11.4 Работа с FIFO по опросу

Если установлен режим работы с FIFO (EFWO=1 в регистре FCR) и запрещены прерывания, то обмен данными выполняется по опросу, а управление FIFO приема и передачи (RCVR, XMIT) выполняется раздельно.

В этом режиме опрос состояния RCVR и XMIT FIFO осуществляется программно, посредством считывания содержимого регистра LSR:

- бит RDR=1, пока есть данные в RCVR FIFO;
- биты OE, PE, FE, VI указывают на ошибки. Эти ошибки обрабатываются так же, как и при работе по прерыванию;
- бит THRE=1, если XMIT FIFO пусто;
- бит TEMT=1, если в XMIT FIFO и TSR нет данных.

При работе по опросу нет индикации таймаута и факта достижения порога RCVR FIFO. Однако оба RCVR и XMIT FIFO могут хранить символы данных.

12. ЛИНКОВЫЙ ПОРТ

12.1 Архитектура линкового порта

Линковый порт имеет следующие основные характеристики:

- частота передачи данных – CLK/4, CLK/2 (CLK – тактовая частота 1892ВМ5Я);
- использована двойная буферизация передаваемых и принимаемых данных;
- выполняет однословный обмен данными по прерываниям под управлением CPU-ядра;
- выполняет обмен блоками данных при помощи DMA;
- по внешнему интерфейсу линковый порт совместим с ADSP-21160.

Структурная схема линкового порта приведена на Рисунок 12.1.

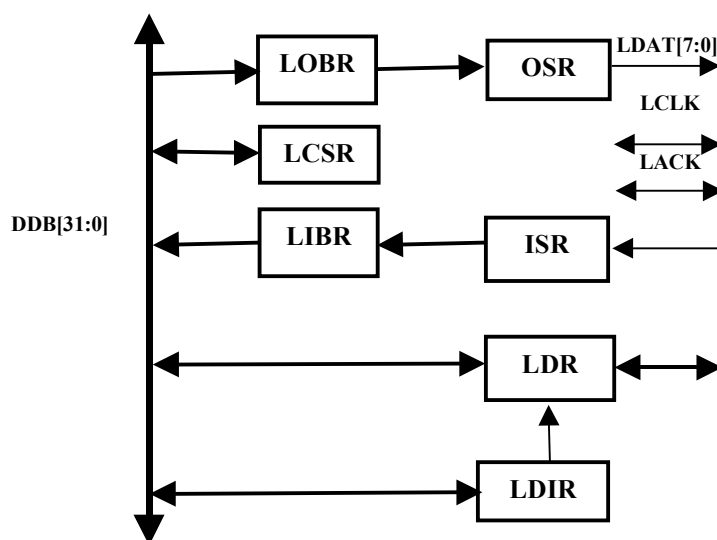


Рисунок 12.1. Структурная схема линкового порта

Передаваемые 32-разрядные данные записываются в выходной буферный регистр (OBR), а затем аппаратно переписываются в передающий сдвигающий регистр (OSR), если он пуст. После этого, в выходной буферный регистр могут быть записаны очередные данные. Из передающего сдвигающего регистра данные выдаются во внешнюю шину данных тетрадами или байтами.

Из внешней шины данные поступают в приемный сдвигающий регистр (ISR) тетрадами или байтами. После набора 32-разрядного слова, он переписывается во входной буферный регистр (IBR).

Данные передаются, начиная со старшей тетрады или старшего байта.

Если LPORT неактивизирован (LEN=0), внешние линии LDAT[7:0], LCLK, LACK можно использовать как 10-разрядный двунаправленный порт ввода-вывода.

В Таблица 12.1 описаны внешние выходы линкового порта.

Таблица 12.1. Выводы линковых портов

Название вывода	Тип вывода	Описание
LDAT[3:0]/[7:0]	IO	Внешняя шина данных. Данные по этой шине передаются по положительному фронту сигнала LCLK.
LCLK	IO	Частота передачи данных
LACK	IO	Подтверждение приема

12.2 Регистры

12.2.1 Общие положения

Перечень регистров порта приведен в Таблица 12.2.

Таблица 12.2

Условное обозначение регистра	Название регистра
LTx	Буфер передачи данных
LRx	Буфер приема данных
LCSR	Регистр управления и состояния
LDIR	Регистр управления направлением выводов порта ввода-вывода
LDR	Регистр данных порта ввода-вывода

12.2.2 Буфер передачи LTx

Буфер передачи LTx является буфером FIFO на два 32-разрядных слова и состоит из выходного буферного регистра и передающего сдвигающего регистра. Два 32-разрядных слова могут быть сразу записаны в буфер LTx, если он был до этого пуст.

Буфер передачи LTx генерирует прерывание (бит LprotTx в регистре QSTR) при следующих условиях:

- бит LTRAN=1;
- выходной регистр данных пуст;
- соответствующий канал DMA не активизирован;
- данное прерывание не замаскировано.

Данное прерывание формируется в момент активизации линкового порта на передачу при пустом буфере LTx, или в момент переписи содержимого выходного регистра данных в выходной сдвигающий регистр. Прерывание, генерируемое буфером передачи, сигнализирует о том, что буфер LTx готов принять следующее слово. Прерывание от буфера передачи сбрасывается в момент записи в него данных.

Загрузка данных в порт возможна только при активизации порта на передачу.

12.2.3 Буфер приема LRx

Буфер приема LRx является буфером FIFO на два 32-разрядных слова и состоит из входного регистра данных и входного буферного регистра. Одно принятое 32-разрядное слово может храниться в буфере LRx, пока вдвигается второе слово.

В момент окончания приема в буфер LRx 32-разрядного слова данных, генерируется прерывание, если оно разрешено, а соответствующий канал DMA не активизирован. Данное прерывание сбрасывается при чтении данных из буфера приема.

Считывание данных из буфера приема возможно только при активизации порта на прием.

12.2.4 Регистр управления и состояния LCSR

Формат регистра LCSR приведен в Таблица 12.3.

Таблица 12.3. Формат регистра LCSR

Номер разряда	Условное обозначение	Назначение
0	LEN	Разрешение работы порта: 0 – все выходы порта находятся в высокоимпедансном состоянии; 1 – порт работает в соответствии с состоянием бита LTRAN.
1	LTRAN	Режим работы порта: 0 – приемник; 1 – передатчик.
2	LCLK	Управление частотой работы порта: 0 – CLK/4; 1 – CLK/2.
4:3	LSTAT	Состояние буферов Tx или Rx: 00 – буфер пуст; 10 – буфер содержит одно слово данных; 11 – буфер полон.
5	LERR	Ошибка приема или передачи данных: 0 – 32-разрядное слово принято (передано) полностью; 1 – 32-разрядное слово принято (передано) не полностью
6	LDW	Разрядность внешней шины данных: 0 - 4-разряда (32-разрядное слово передается за 8 посылок); 1 - 8-разряда (32-разрядное слово передается за 4 посылки).
7	SRQ_TX	Признак запроса обслуживания на передачу данных
8	SRQ_RX	Признак запроса обслуживания на прием данных
31:9	-	Резерв

Исходное состояние регистра LCSR – нули. Биты LEN, LTRAN, LCLK доступны по записи и чтению, а LSTAT, LERR – только по чтению.

Биты LSTAT, LERR сбрасываются при LEN=0.

Следует иметь в виду, что если бит LCLK регистра LCSR имеет единичное состояние, то при работе линкового порта в качестве приемника, внутренняя частота микропроцессора CLK должна быть больше удвоенной частоты приема данных LCLK не менее чем на 5%.

12.2.5 Регистры порта ввода-вывода

10-разрядный регистр данных порта ввода-вывода (LDR) предназначен для реализации гибкого интерфейса с внешними устройствами. Внешние выходы порта ввода-вывода совмещены с внешними выводами линкового порта.

Соответствие разрядов регистра LDR и внешних линий линкового порта приведено в Таблица 12.4.

Таблица 12.4

Номер разряда регистра LDR	Внешние выходы LPORT
0	LACK
1	LCLK
9:2	LDAT[7:0]

Настройка направления выводов порта ввода-вывода осуществляется программно при помощи 10-разрядного регистра LDIR. Если разряд этого регистра имеет нулевое состояние, то соответствующий разряд порта ввода-вывода является входом и наоборот. Линии порта ввода-вывода могут быть выходами, если LEN=0.

Исходное состояние регистров LDR, LDIR – нули.

12.3 DMA линковых портов

С каждым линковым портом связан канал DMA LportCh. Направление передачи DMA определяется битом LTRAN.

12.4 Прерывания от линковых портов

12.4.1 Прерывания при приеме и передаче данных.

Линковый порт формирует прерывания по приему и передаче данных.

Если обмен данными по линковому порту выполняется программно без использования DMA, то прерывания формируются по завершению передачи или приема каждого 32-разрядного слова данных. При этом, биты RUN, DONE и END регистра CSR соответствующего канала DMA должны иметь нулевое состояние.

Если обмен данными по линковому порту выполняется с использованием DMA, то прерывания формируются в соответствии с п. 8.1.5.

В общем случае, условие наличия прерывания от линкового порта описывается следующим логическим выражением:

Прерывание = DONE | END & IM | ~RUN & ~END & LEN & (LTRAN & Выходной регистр данных линкового порта пуст | ~LTRAN & Буфер приема данных линкового порта не пуст),

где:

- DONE, END, IM, RUN – биты регистра управления и состояния соответствующего канала DMA линкового порта;
- LEN, LTRAN – биты регистра управления и состояния соответствующего линкового порта.

12.4.2 Прерывания по запросу обслуживания

Если линковый порт не активизирован ($LEN=0$), он формирует прерывание по запросу обслуживания, если:

- на внешней шине выставлены данные на прием (активное состояние сигнала LCLK);
- из внешней шины поступил запрос на выдачу данных (активное состояние сигнала LACK).

Данное прерывание сбрасывается после установки $LEN=1$.

12.5 Временная диаграмма работы линкового порта

Временная диаграмма работы линкового порта приведена на Рисунок 12.2.

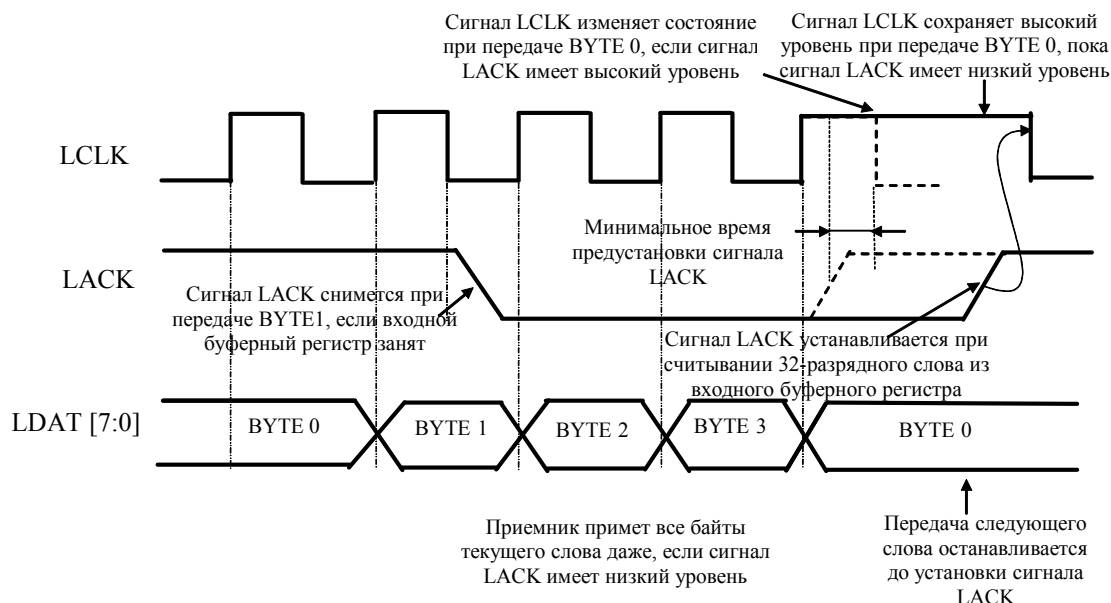


Рисунок 12.2. Временная диаграмма работы линкового порта ($LDW=1$)

При $LDW=0$ передача 32-разрядного слова выполняется за 8 посылок, а при $LDW=1$ - за 4 посылки. Передатчик изменяет данные LDAT по положительному фронту LCLK, а приемник защелкивает данные по отрицательному фронту.

Исходное состояние сигнала LACK – высокий уровень. Сигнал LACK снимется приемником по заднему фронту LCLK при передаче BYTE1, если его входной буферный регистр занят. При этом приемник примет все байты текущего 32-разрядного слова даже, если сигнал LACK имеет низкий уровень. Сигнал LACK устанавливается при считывании 32-разрядного слова из входного буферного регистра.

Передатчик после выставления BYTE0 анализирует состояние сигнала LACK. Если $LACK=1$, то LCLK продолжает изменять свое состояние и после BYTE 0 передается BYTE 1 и так далее. Если $LACK=0$, то LCLK сохраняет высокий уровень при передаче BYTE 0, пока сигнал LACK имеет низкий уровень.

Если линковый порт деактивизирован ($LEN=0$) сигналы LDAT, LCLK LACK являются входами. Поэтому эти сигналы необходимо привязывать к земле через резисторы 10 кОм. Если порт настроен как передатчик, LDAT и LCLK становятся выходами, а LACK – входом. Если порт настроен как приемник, LDAT и LCLK становятся входами, а LACK – выходом.

13. ПОРТ JTAG И ВСТРОЕННЫЕ СРЕДСТВА ОТЛАДКИ ПРОГРАММ

В данную микросхему встроен порт JTAG, реализованный в соответствии со стандартом IEEE 1149.1 (IEEE Standard Test Access Port and Boundary-Scan Architecture). Этот порт предназначен для доступа к встроенным средствам отладки программ (OnCD). Этот порт предназначен только для доступа к встроенным средствам отладки программ (OnCD) и не реализует Boundary Scan.

Модуль OnCD обеспечивает:

- выполнение остановки программы CPU по контрольным точкам (Breakpoint);
- выполнение заданного числа команд CPU (трассы) в реальном масштабе времени или пошаговое выполнение команд;
- доступ к адресуемым регистрам и памяти микросхемы.

Для подключения микросхемы к персональному компьютеру через порт JTAG необходимо использовать эмулятор JTAG, поставляемый ОАО НПЦ «ЭЛВИС».

14. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ

14.1 Электропитание микросхемы

Номинальное значение напряжения электропитания микросхемы:

- $U_{CC1}=3,3$ В (периферия);
- $U_{CC2}=2,5$ В (ядро).

Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$.

При включении на микросхему сначала необходимо подать напряжение электропитания ядра U_{CC2} , а затем напряжение электропитания периферии U_{CC1} . Задержка между подачей напряжений электропитания должна быть не более 10 мс. Входные сигналы подаются после подачи напряжений электропитания или одновременно с напряжением электропитания периферии U_{CC1} . Фронт нарастания напряжений электропитания должен быть не более 5 мс;

При выключении микросхемы необходимо сначала снять входные сигналы, затем напряжение электропитания периферии U_{CC1} , затем, с задержкой не более 10 мс, напряжение электропитания ядра U_{CC2} .

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (U_{CC1} и U_{CC2}) не менее 8 высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 μ F Z 25V или аналогичные. Конденсаторы необходимо разместить по возможности равномерно по площади корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

14.2 Электрические параметры при приемке и поставке

Электрические параметры микросхем 1892BM5АЯ, 1892BM5БЯ при приемке и поставке приведены в Таблица 14.1.

Таблица 14.1. Электрические параметры микросхем 1892BM5АЯ, 1892BM5БЯ при приемке и поставке

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °С
		не менее	не более	
Ток потребления статический, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В	I_{CC}		50	от -60 до +85
Ток потребления динамический по цепи PVDD (U_{CC1}), мА, при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В и максимальной тактовой частоте	I_{CCO}		150	от -60 до +85
Ток потребления динамический по цепи CVDD (U_{CC2}) микросхемы 1892BM5АЯ, мА, при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В и максимальной тактовой частоте	I_{CCO}		1000	от -60 до +85
Ток потребления динамический по цепи CVDD (U_{CC2}) микросхемы 1892BM5БЯ, мА, при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В и максимальной тактовой частоте	I_{CCO}		900	от -60 до +85

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура °С
		не менее	не более	
Ток потребления динамический микросхемы 1892ВМ5АЯ, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В и максимальной тактовой частоте	I_{CCO}		1150	от -60 до +85
Ток потребления динамический микросхемы 1892ВМ5БЯ, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, $U_{IH}=2,0$ В, $U_{IL}=0,8$ В и максимальной тактовой частоте	I_{CCO}		1050	от -60 до +85
Ток утечки в состоянии «выключено» (третье состояние), мкА при $U_{CC1}=3,47$ В, $U_{OH}=3,47$ В, $U_{OL}=0,0$ В	I_{OZL}, I_{OZH}	-10	10	от -60 до +85
Ток утечки высокого уровня на входе, мкА при $U_{CC1}=3,47$ В, $U_{IH}=3,47$ В	I_{LIH}	-10	10	от -60 до +85
Ток утечки низкого уровня на входе, мкА при $U_{CC1}=3,47$ В, $U_{IL}=0,0$ В	I_{LIL}	-10	10	от -60 до +85
Ток низкого уровня на входе и входе/выходе*, привязанном к U_{CC1} , мкА при $U_{CC1}=3,47$ В, $U_{IL}=0,0$ В	I_{LPU}	-400	-2	от -60 до +85
Ток высокого уровня на входе и входе/выходе*, привязанном к общему уровню, мкА при $U_{CC1}=3,47$ В, $U_{IH}=3,47$ В	I_{HPD}	2	400	от -60 до +85
Выходное напряжение низкого уровня, В при $I_{OL}=3,2$ мА, $U_{CC1}=3,47$ В	U_{OL}		0,4	от -60 до +85
Выходное напряжение высокого уровня, В при $I_{OH}=0,4$ мА, $U_{CC1}=3,13$ В	U_{OH}	2,4		от -60 до +85
Входная емкость, пФ	C_I		10	25 ± 10
Емкость входа/выхода, пФ	C_{VO}		20	25 ± 10
Выходная емкость, пФ	C_O		20	25 ± 10
Задержки выходных сигналов A, D, nWRH, nWRL, nWEN, nWEL, nRDH, nRDL, nCS, SRASH, SRASL, SCASH, SCASL, SWEN, SWEL, DQM, CKE, A10, BA, nFLYBYH, nFLYBYL, nOEH, nOEL, nRDSH, nRDSL, nWRSH, nWRSL относительно частоты SCLK, nс	T_O	-	5	от -60 до +85

14.3 Динамическая потребляемая мощность

Динамическая потребляемая мощность микросхемы имеет две составляющие: потребление ядра (по цепи CVDD) и потребление выходных драйверов (по цепи PVDD). Мощность, потребляемая ядром микросхемы по цепи CVDD, зависит от последовательности выполняемых процессорными ядрами команд, от операндов, а также от активности DMA и периферийных устройств. Максимальный ток, потребляемый ядром микросхемы:

- 1892ВМ5АЯ – не более 1000 мА при тактовой частоте 100 МГц;
- 1892ВМ5БЯ – не более 900 мА при тактовой частоте 90 МГц.

Мощность, потребляемая выходными драйверами по цепи PVDD, зависит от следующих параметров:

- Число выходных драйверов (O);
- Максимальная частота, на которой выходные драйверы переключаются (F);
- Емкости нагрузки выходных драйверов (C);
- Величина напряжения электропитания выходных драйверов (U_{CC1}).

Мощность, потребляемая выходными драйверами по цепи PVDD, определяется следующим уравнением:

$$P_{ext} = O * C * U_{CC1}^2 * F.$$

Рассмотрим для примера расчет мощности, потребляемой выходными драйверами при непрерывной записи данных в память типа SRAM (при $U_{CC1} = 3,3$ В). Максимальная частота обмена данными со SRAM = $CLK/4$, где CLK – внутренняя тактовая частота микросхемы. При обращении по произвольным адресам можно предположить, что с частотой $CLK/4$ изменяются 50% разрядов адреса. Также можно допустить, что каждый цикл изменяются 50% разрядов шины данных. Данные для расчета потребляемой мощности приведены в таблице 14.2.

Таблица 14.2

Название драйвера	Число драйверов	Емкость нагрузки	F, МГц	U_{CC1}^2	P_{ext} , мВт
A[31:0]	16	30	20	10,9	100
nWR[3:0]	4	30	20	10,9	25
D[63:0]	32	30	20	10,9	200
SCLK	1	30	80	10,9	25
Итого:					350

То есть, при тактовой частоте 80 МГц и $C=30$ пФ при непрерывной записи данных в SRAM потребление составляет 350 мВт. При чтении данных из SRAM выходные драйверы не активизируются. Поэтому, если запись данных в SRAM чередуется с чтением, то реальное энергопотребление микросхемы будет существенно меньше.

Оценим мощность, потребляемую драйверами линкового порта при передаче данных. Максимальная частота передачи данных по линковому порту равна половине тактовой частоты процессора, то есть, 50 МГц для 1892BM5АЯ и 45 МГц для 1892BM5БЯ. Потребление по LCLK составляет 15 мВт и 13,5 мВт для 1892BM5АЯ и 1892BM5БЯ соответственно, а потребление по данным (изменяется 50% 8-разрядных данных с частотой 25 МГц и 22,5 МГц) - 30 мВт и 27 мВт. Суммарно – 45 и 40,5 мВт для 1892BM5АЯ и 1892BM5БЯ соответственно.

14.4 Предельно-допустимые и предельные электрические режимы эксплуатации

Значения предельно-допустимых и предельных электрических режимов эксплуатации микросхем 1892BM5АЯ, 1892BM5БЯ приведены в Таблица 14.3.

Таблица 14.3. Значения предельно-допустимых и предельных электрических режимов эксплуатации

Наименование параметра, единица измерения	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
Напряжение питания периферии, В	U_{CC1}	3,13	3,47	-	3,9
Напряжение питания ядра, В	U_{CC2}	2,37	2,63	-	3,0
Входное напряжение высокого уровня, В	U_{IH}	2,0	$U_{CC1}+0,1$	-	$U_{CC1}+0,3$
Входное напряжение низкого уровня, В	U_{IL}	0,0	0,8	-0,3	-
Напряжение, прикладываемое к выходу микросхемы в состоянии «выключено», В	U_{OZ}	0,0	$U_{CC1}+0,1$	-0,3	$U_{CC1}+0,3$
Емкость нагрузки каждого выхода, пФ	C_L	-	30	-	-

14.5 Временные параметры

14.5.1 Обмен данными с внешней памятью и устройствами

Временные параметры при обмене данными с внешней памятью и устройствами приведены в Таблица 14.4.

Таблица 14.4. Временные параметры при обмене данными с внешней памятью и устройствами

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
Время задержки выходных сигналов A, D, nWR, nWE, nRD, nWRS, nRDS, nREN, nCS, SRAS, SCAS, SWE, DQM, CKE, A10, BA, nFLYBY, nOE после переднего фронта частоты SCLK, нс	t_{DOSC}	2	5	от -60 до +85
Время предустановки считываемых данных из асинхронной памяти перед задним фронтом частоты SCLK, нс	t_{SDSC}	6	-	от -60 до +85
Время удержания считываемых данных из асинхронной памяти после фронта снятия сигнала nRD, нс (t_{CLK} – период частоты CLK)	t_{HDRD}	0	$0,5 t_{CLK}$	от -60 до +85
Время предустановки считываемых данных из синхронной памяти перед передним фронтом частоты SCLK, нс	t_{SDSC}	5	-	от -60 до +85
Время удержания считываемых данных из синхронной памяти после переднего фронта частоты SCLK, нс	t_{HDSC}	0	$0,5 t_{CLK}$	от -60 до +85

14.5.2 Прием и передача данных по линковому порту

Временные параметры при приеме данных по линковому порту приведены в Таблица 14.5 и Рисунок 14.1.

Таблица 14.5. Временные параметры при приеме данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура °C
		не менее	не более	
Время предустановки данных перед задним фронтом частоты LCLK, нс	t_{SLDCL}	5	-	от -60 до +85
Время удержания данных после заднего фронта частоты LCLK, нс	t_{HLDCL}	3	-	от -60 до +85
Время задержки переключения сигнала LACK с высокого на низкий уровень после заднего фронта частоты LCLK, нс	t_{DLALC}	5	15	от -60 до +85
Период частоты LCLK	t_{LCLK}	$2,05 * t_{CLK}$	-	от -60 до +85

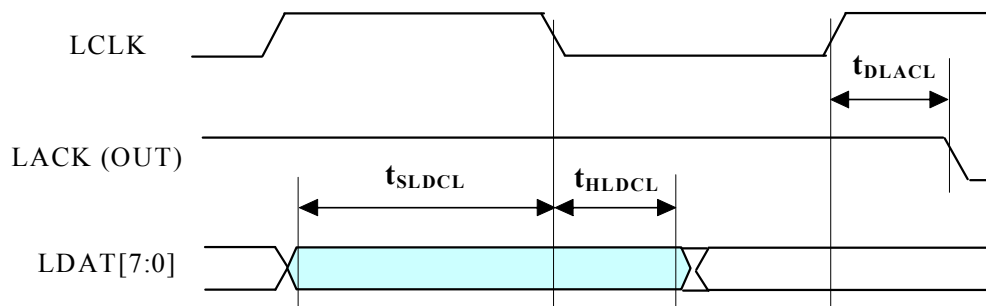


Рисунок 14.1. Прием данных по линковому порту

Временные параметры при передаче данных по линковому порту приведены в Таблица 14.6 и Рисунок 14.2.

Таблица 14.6. Временные параметры при передаче данных по линковому порту

Наименование параметра, единица измерения	Буквенное обозначение	Норма		Температура °С
		не менее	не более	
Время задержки данных после переднего фронта частоты LCLK, нс	t_{DLDC}	-	10	от -60 до +85
Время удержания данных после переднего фронта частоты LCLK, нс	t_{HLDCH}	0	-	от -60 до +85
Время задержки переключения частоты LCLK в низкий уровень, после переключения сигнала LACK с низкого уровня на высокий, нс	t_{DLACLK}	5	$t_{CLK} + 5$	от -60 до +85

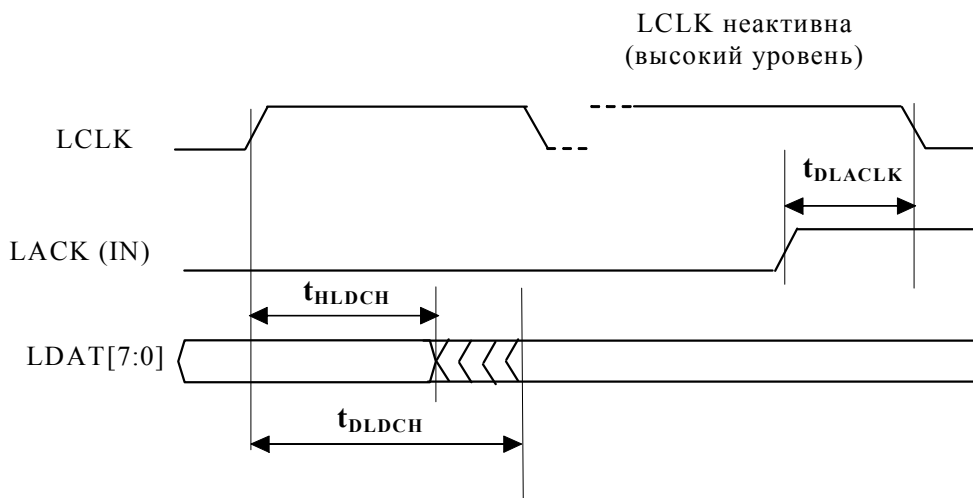


Рисунок 14.2. Передача данных по линковому порту

14.6 Рекомендации по подключению кварцевого резонатора.

Схема подключения кварцевого резонатора к микросхеме приведена на Рисунок 14.3.

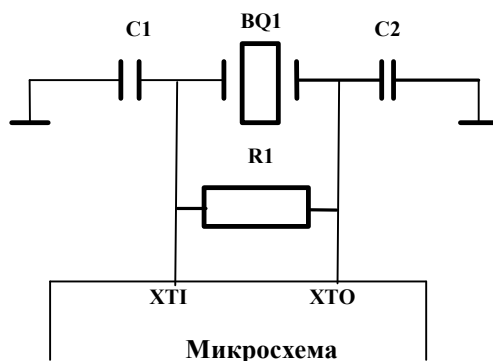


Рисунок 14.3 Схема подключения кварцевого резонатора к микросхеме

Частота кварцевого резонатора должна быть от 10 до 12 МГц. Ориентировочные величины: $R1=1$ мОм, $C1=C2=7$ пФ. Конкретная величина конденсаторов и резистора указывается в документации на резонатор.

15. ОПИСАНИЕ ВНЕШНИХ ВЫВОДОВ

Микросхема 1892ВМ5Я имеет следующие выводы (всего - 414) и размещается в корпусе BGA-416:

- порт внешней памяти – 152;
- управление – 29;
- контроллер PCI – 58;
- 4 линковых порта – 40;
- UART – 10;
- электропитание – 125.

Все неиспользуемые выводы типа «I», «IO» необходимо подключить к земле, если в этих таблицах не указано иное требование (кроме выводов шины данных D).

Выводы шины данных D подключать через резисторы к земле или электропитанию не требуется.

При сопряжении данной микросхемы с внешними устройствами, например памятью, в зависимости от параметров платы, необходимо устанавливать схемы последовательного или параллельного согласования. Необходимость их установки определяет разработчик аппаратуры самостоятельно.

Описание выводов микросхемы 1892ВМ5Я приведено в табл. 15.1-15.6.

Таблица 15.1. Порт внешней памяти

Название вывода	Количество	Тип	Назначение
A[31:0]	32	O	Шина адреса.
D[63:0]	64	IO	Шина данных
nWRL[3:0], nWRH[3:0]	8	O	Запись байтов асинхронной памяти
nWEL, nWEH	2	O	Запись асинхронной памяти
nRDL, nRDH	2	O	Чтение асинхронной памяти
nWRSL[3:0] nWRSH[3:0]	8	O	Запись байтов синхронной памяти
nRDSL, nRDSH	2	O	Чтение синхронной памяти
nREN	1	O	Разрешение чтения внешнего устройства (синхронного)
nACK	1	I	Готовность асинхронной памяти
nCS[4:0]	5	O	Разрешение выборки блоков внешней памяти
SRASH, SRASL	2	O	Строб адреса строки
SCASH, SCASL	2	O	Строб адреса колонки
SWEH, SWEL	2	O	Разрешение записи
DQM[7:0]	8	O	Маска выборки байта при обмене данными с памятью типа SRAM, SDRAM. При подключении памяти типа SDRAM эти сигналы DQM подключаются к соответствующим выводам DQM микросхем памяти. При подключении памяти типа SRAM сигналы DQM подключаются к соответствующим выводам BLE, BHE микросхем памяти (например, микросхемы типа CY7C1011CV33 фирмы CYPRESS).
SCLK	1	O	Тактовая частота работы
SKE	1	O	Разрешение частоты
A 10	1	O	10 разряд адреса
BA[1:0]	2	O	Номер банка
Всего 152 вывода			

Таблица 15.2. Управление

Название вывода	Количество	Тип	Назначение
nDMAR[7:0]	8	I	Запрос канала DMA. Формируется по отрицательному фронту. Минимальная длительность – не менее 1,5 периодов системной тактовой частоты CLK (частота, на которой работает CPU).
NMI	1	I	Немаскируемое прерывание. Формируется по положительному фронту сигнала. Длительность сигнала NMI должна быть не менее 4 тактов частоты на входе ХТІ. При подаче на микросхему сигнала установки исходного состояния сигнал NMI должен иметь низкий уровень.
nIRQ[3:0]	4	I	Запросы прерывания. Потенциальные сигналы с активным низким уровнем. Эти сигналы устанавливаются асинхронно источником запроса прерывания. В микросхеме запросы прерывания не запоминаются. Они должны оставаться в активном состоянии до тех пор, пока CPU программно их не сбросит.
BYTE	1	I	Разрядность блока внешней памяти, подключенного к выводу nCS[3] микросхемы: 0 – 32 разряда; 1 – 8 разрядов.
PBOOT	1	I	Признак режима выполнения процедуры начальной загрузки по адресу, задаваемого из шины PCI.
LBOOT	1	I	Признак режима выполнения процедуры начальной загрузки из линкового порта LPORT0.
WDT	1	O	Признак срабатывания сторожевого таймера. Этот сигнал формируется, если в программе произошел сбой. Его можно подать на системный контроллер, который будет принимать решение, что делать в данной ситуации.
PLL_EN	1	I	Разрешение работы PLL: 0 – системная тактовая частота микроконтроллера равна входной частоте ХТІ (см. рис. 4.1); 1 - системная тактовая частота микроконтроллера поступает из PLL и равна входной частоте ХТІ, умноженной на коэффициент умножения/деления. (поле CLK_SEL регистра CSR).
XTI, XTO	2	I, O	Для тактирования микропроцессора можно использовать внешний кварцевый резонатор или внешний генератор импульсов. Внешний кварцевый резонатор должен подключаться к выводам ХТІ и ХТО. Внешний генератор импульсов должен подключаться к выводу ХТІ, а вывод ХТО должен быть незадействованным. Если используется встроенный умножитель частоты (PLL_EN = 1), то допускается: - на вход ХТІ подавать частоту от 9 до 12 МГц. Длительность фронта и спада – не более 10 нс; - к выводам ХТІ, ХТО подключать кварцевый резонатор частотой от 10 до 12 МГц. Если не используется встроенный умножитель частоты (PLL_EN = 0), то допускается: - на вход ХТІ подавать частоту от 1 до 100 МГц (для 1892ВМ5АЯ) или от 1 до 90 МГц (для 1892ВМ5БЯ). Длительность фронта и спада – не более 10 нс; - к выводам ХТІ, ХТО подключать кварцевый резонатор частотой от 10 до 12 МГц.

Название вывода	Количество	Тип	Назначение
RTC_XTI	1	I	Частота реального времени от 1 кГц до 10 МГц. Как правило - 32,768 кГц. Длительность фронта и спада – не более 10 нс
nRST	1	I	Сигнал установки исходного состояния. Активный низкий уровень. При включении электропитания микросхемы сигнал nRST должен иметь низкий уровень и переключаться на высокий уровень через время не менее 1 мс после установки стабильного электропитания и стабильной тактовой частоты на входе XTI. Если необходимо установить работающую микросхему в исходное состояние, то для этого необходимо сформировать асинхронный сигнал nRST длительностью не менее 4 тактов частоты на входе XTI. Фронт и спад сигнала nRST должен быть не более 100 нс.
TCK	1	I	Тестовый тактовый сигнал (JTAG)
TRST	1	I	Установка исходного состояния (JTAG). Имеет на входе резистор типа «pull up» сопротивлением от 40 до 100 кОм.
TMS	1	I	Выбор режима теста (JTAG). Имеет на входе резистор типа «pull up» сопротивлением от 40 до 100 кОм.
TDI	1	I	Вход данных теста (JTAG). Имеет на входе резистор типа «pull up» сопротивлением от 40 до 100 кОм.
TDO	1	O	Выход данных теста (JTAG)
nDE	1	IO	Состояние DEBUG. Сигнал предназначен для отладки программного обеспечения нескольких микросхем (до 8), работающих одновременно. Для этого выводы nDE у этих микросхем необходимо объединить в проводное ИЛИ. Если совместная отладка не используется, то вывод nDE должен быть незадействованным.
Всего 29 выводов			

Таблица 15.3. Контроллер PCI (PMSC)

Наименование сигнала	Количество	Тип	Назначение
AD[31:0]	32	IO	Адрес/Данные
nC/BE[3:0]	4	IO	Команда/ выбор байта
nFRAME	1	IO	Признак выполнения операции передачи данных
nIRDY	1	IO	Готовность задатчика
nTRDY	1	IO	Готовность исполнителя
nSTOP	1	IO	Признак остановки передачи данных
PAR	1	IO	Дополнение до четности количества единиц на шинах AD и nC/BE
PERR	1	IO	Ошибка четности
nDEVSEL	1	IO	Подтверждения выборки
IDSEL	1	I	Выборка при доступе к конфигурационным регистрам
nREQ	1	O	Запрос захвата шины
nGNT	1	I	Разрешение захвата шины
nINTA	1	O	Прерывание
PCLK	1	I	Тактовая частота работы шины PCI.
nREQ[4:0]	5	I	Запрос на использование шины PCI.
nGNT[4:0]	5	O	Разрешение использования шины PCI.
всего 58 выводов			

Таблица 15.4. Линковые порты (4 штуки)

Наименование сигнала	Количество	Тип	Назначение
LDAT	8	ИО	Шина данных.
LCLK	1	ИО	Синхронизация
LACK	1	ИО	Подтверждение
Всего 10*4=40 выводов			

При использовании линкового порта его сигналы необходимо подключить к земле через резисторы сопротивлением 10 КОм.

Таблица 15.5. UART

Наименование сигнала	Количество	Тип	Назначение
SIN	1	I	Вход последовательных данных
SOUT	1	O	Выход последовательных данных
nOUT1	1	O	Выход общего назначения
nOUT2	1	O	Выход общего назначения
nDCD	1	I	Признак обнаружения модемом несущей частоты (Receiver Line Signal Detect)
nRI	1	I	Признак обнаружения модемом телефонного звонка (Ring Indicator)
nDTR	1	O	Готовность UART к установлению связи (Data Terminal Ready)
nRTS	1	O	Готовность UART к обмену данными (Request To Send)
nCTS	1	I	Готовность модема к обмену данными (Clear To Send)
nDSR	1	I	Готовность модема к установлению связи (Data Set Ready)
Всего 10 выводов			

Таблица 15.6. Электропитание

Название вывода	Количество	Назначение
CVDD	24	Напряжение электропитания ядра (U_{CC2})
PVDD	26	Напряжение электропитания входных и выходных драйверов (U_{CC1})
GND	75	Земля ядра, входных и выходных драйверов
Всего 125 выводов		

Чертеж корпуса HSBGA-416 для микросхемы 1892BM5Я приведен на Рисунок 15.1, Рисунок 15.2.

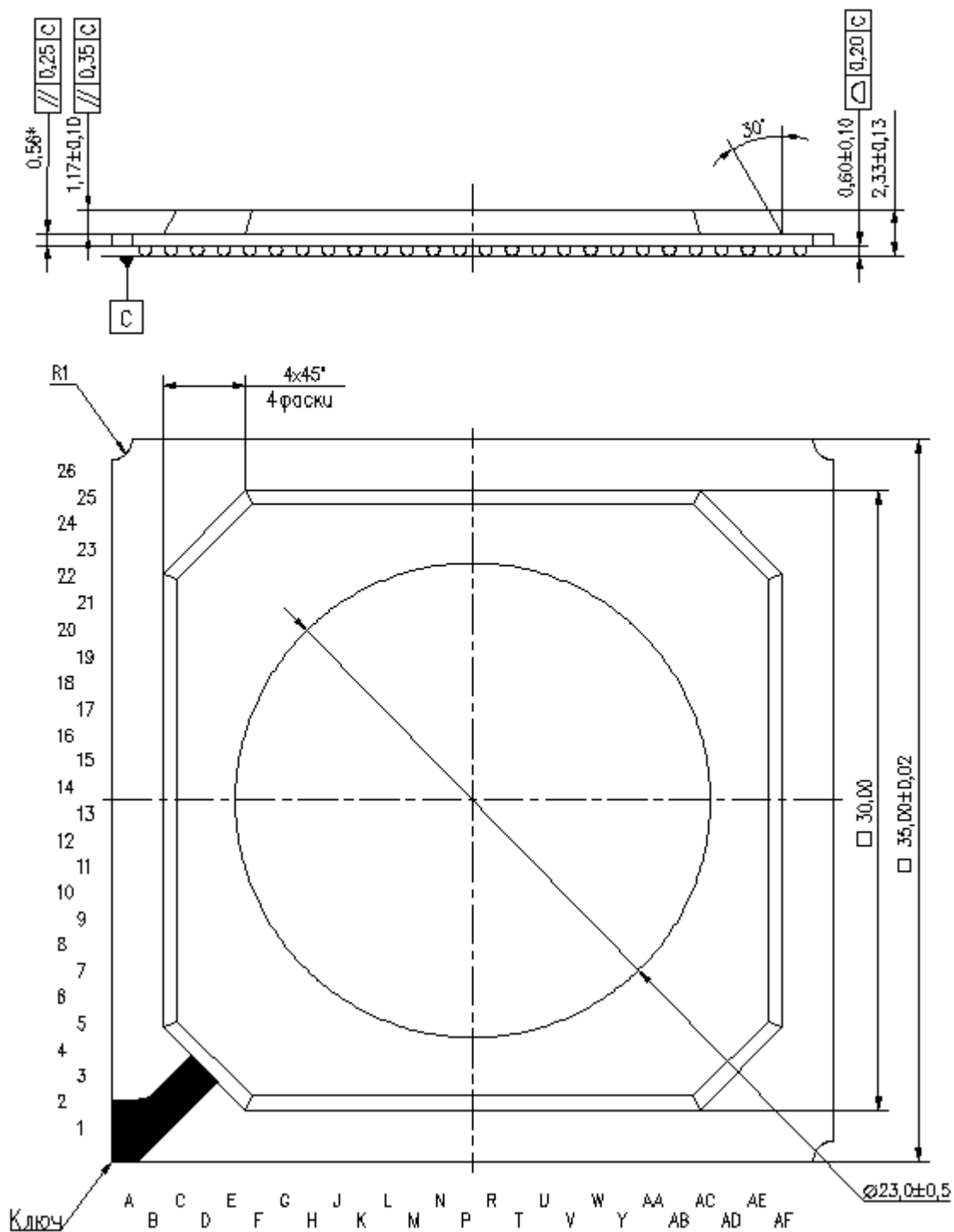


Рисунок 15.1 Чертеж корпуса HSBGA-416 (вид сверху)

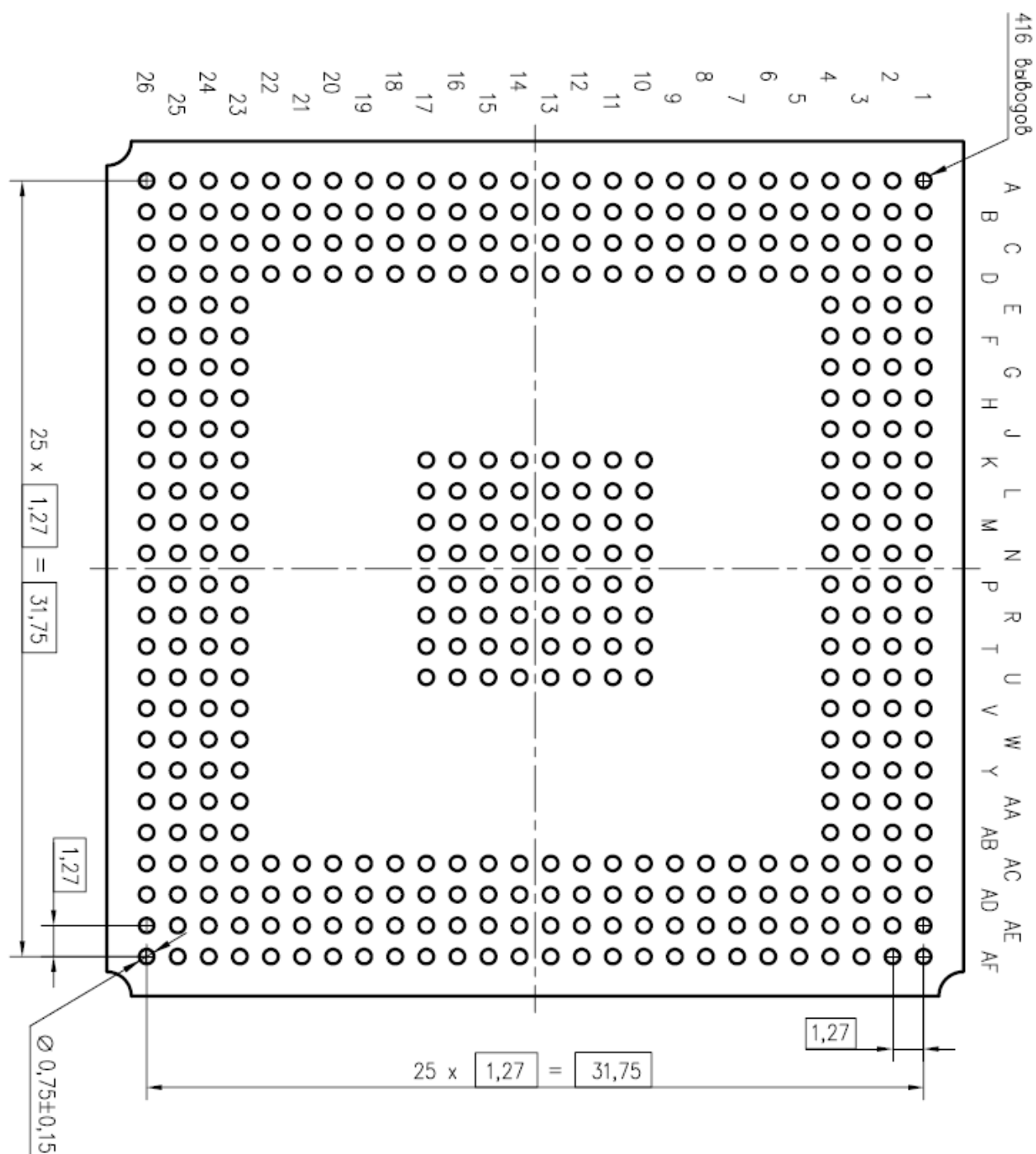


Рисунок 15.2 Чертеж корпуса HSBGA-416 (вид снизу)

Распределение контактов в корпусе HSBGA-416 для микросхемы 1892BM5Я приведено на Рисунок 15.3.

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26																																																																	
A	GND	GND	PVDD	BA[1]	CKE	AD[2]	AD[5]	nC/BE[0]	AD[10]	AD[13]	nC/BE[1]	GND	CVDD	CVDD	nPERR	nTRDY	nC/BE[2]	AD[18]	AD[21]	IDSEL	AD[25]	AD[28]	AD[31]	nGNT	CVDD	CVDD	A																																																																
B	A10	GND	GND	PVDD	BA[0]	AD[1]	AD[4]	AD[7]	AD[9]	AD[12]	AD[15]	GND	CVDD	CVDD	nSTOP	nIRDY	AD[16]	AD[19]	AD[22]	nC/BE[3]	AD[26]	AD[29]	nREQ	CVDD	CVDD	GND	B																																																																
C	A[30]	A[31]	GND	GND	PVDD	AD[0]	AD[3]	AD[6]	AD[8]	AD[11]	AD[14]	GND	CVDD	CVDD	nDEVSEL	nFRAME	AD[17]	AD[20]	AD[23]	AD[24]	AD[27]	AD[30]	CVDD	CVDD	PCLK	nINTA	C																																																																
D	A[27]	A[28]	A[29]	GND	GND	PVDD		nGNT[0]	nGNT[1]	nGNT[2]	PAR	GND	CVDD	CVDD	nGNT[3]	nGNT[4]	nREQ[0]	nREQ[1]	nREQ[2]	nREQ[3]	nREQ[4]	CVDD	CVDD	PLL_EN	WDT	nDCD	D																																																																
E	A[24]	A[25]	A[26]	SRASH	<table border="1" style="margin: auto;"> <tr><td>GND</td><td>GND</td><td>PVDD</td><td>PVDD</td><td>CVDD</td><td>CVDD</td><td>GND</td><td>GND</td></tr> <tr><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td></tr> <tr><td>PVDD</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>CVDD</td></tr> <tr><td>PVDD</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>CVDD</td></tr> <tr><td>CVDD</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>PVDD</td></tr> <tr><td>CVDD</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>PVDD</td></tr> <tr><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td><td>GND</td></tr> <tr><td>GND</td><td>GND</td><td>CVDD</td><td>CVDD</td><td>PVDD</td><td>PVDD</td><td>GND</td><td>GND</td></tr> </table>																		GND	GND	PVDD	PVDD	CVDD	CVDD	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	PVDD	GND	GND	GND	GND	GND	GND	CVDD	PVDD	GND	GND	GND	GND	GND	GND	CVDD	CVDD	GND	GND	GND	GND	GND	GND	PVDD	CVDD	GND	GND	GND	GND	GND	GND	PVDD	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	CVDD	CVDD	PVDD	PVDD	GND	GND		nRI	nOUT2	nOUT1	E
GND	GND	PVDD	PVDD	CVDD																			CVDD	GND	GND																																																																		
GND	GND	GND	GND	GND																			GND	GND	GND																																																																		
PVDD	GND	GND	GND	GND																			GND	GND	CVDD																																																																		
PVDD	GND	GND	GND	GND																			GND	GND	CVDD																																																																		
CVDD	GND	GND	GND	GND																			GND	GND	PVDD																																																																		
CVDD	GND	GND	GND	GND																			GND	GND	PVDD																																																																		
GND	GND	GND	GND	GND																			GND	GND	GND																																																																		
GND	GND	CVDD	CVDD	PVDD																			PVDD	GND	GND																																																																		
F	A[21]	A[22]	A[23]	SCASH																																						LBOOT	nDSR	nRTS	SOUT	F																																													
G	A[18]	A[19]	A[20]	SWEH																																							PBOOT	SIN	nCTS	nDTR	G																																												
H	A[15]	A[16]	A[17]	DQM[7]																																							BYTE	LACK0	LCLK0	LDAT0[7]	H																																												
J	A[12]	A[13]	A[14]	DQM[6]																																							nDMAR[7]	LDAT0[6]	LDAT0[5]	LDAT0[4]	J																																												
K	A[9]	A[10]	A[11]	nWRSH[3]																																							nDMAR[6]	LDAT0[3]	LDAT0[2]	LDAT0[1]	K																																												
L	A[6]	A[7]	A[8]	nWRSH[2]																					nDMAR[5]	LDAT0[0]	LACK1	LCLK1	L																																																														
M	A[3]	A[4]	A[5]	nWRSH[1]																					nDMAR[4]	LDAT1[7]	LDAT1[6]	LDAT1[5]	M																																																														
N	A[0]	A[1]	A[2]	nWRSH[0]																					nDMAR[3]	LDAT1[4]	LDAT1[3]	PVDD	N																																																														
P	D[63]	D[62]	D[61]	nWRH[3]																					nDMAR[2]	LDAT1[1]	LDAT1[2]	GND	P																																																														
R	D[60]	D[59]	D[58]	nWRH[2]																					nDMAR[1]	LCLK2	LACK2	LDAT1[0]	R																																																														
T	D[57]	D[56]	D[55]	nWRH[1]																					nDMAR[0]	LDAT2[5]	LDAT2[6]	LDAT2[7]	T																																																														
U	D[54]	D[53]	D[52]	nWRH[0]																						NMI	LDAT2[2]	LDAT2[3]	LDAT2[4]	U																																																													
V	D[51]	D[50]	D[49]	nWEH																					nIRQ[3]	LACK3	LDAT2[0]	LDAT2[1]	V																																																														
W	D[48]	D[47]	D[46]	nRDSH																					nIRQ[2]	LDAT3[6]	LDAT3[7]	LCLK3	W																																																														
Y	D[45]	D[44]	D[43]	nRDH																					nIRQ[1]	LDAT3[3]	LDAT3[4]	LDAT3[5]	Y																																																														
AA	D[42]	D[41]	D[40]	SCLK																					nIRQ[0]	LDAT3[0]	LDAT3[1]	LDAT3[2]	AA																																																														
AB	D[39]	D[38]	D[37]	nREN																					GND	TMS	TDI	TDO	AB																																																														
AC	D[36]	D[35]	D[34]	PVDD	PVDD	nCS[3]	nCS[4]	nACK	nWRSL[3]	nWRSL[2]	nWRSL[1]	nWRSL[0]	PVDD	GND	nWRL[3]	nWRL[2]	nWRL[1]	nWRL[0]	nRDSL	nRDL	RTCXTI	RTCXTO	GND	GND	nDE	TRST	AC																																																																
AD	D[33]	D[32]	PVDD	PVDD	nCS[1]	nCS[2]	D[29]	D[26]	D[23]	D[20]	D[17]	D[14]	PVDD	GND	D[9]	D[6]	D[3]	D[0]	nWEL	SRASL	XTO				GND	GND	TCK	AD																																																															
AE	DQM[5]	PVDD	PVDD	DQM[4]	nCS[0]	D[31]	D[28]	D[25]	D[22]	D[19]	D[16]	D[13]	PVDD	GND	D[10]	D[7]	D[4]	D[1]	DQM[0]	SCASL	XTI				nRST	GND	GND	AE																																																															
AF	PVDD	PVDD	GND	DQM[3]	DQM[2]	D[30]	D[27]	D[24]	D[21]	D[18]	D[15]	D[12]	PVDD	GND	D[11]	D[8]	D[5]	D[2]	DQM[1]	SWEL							PVDD	GND	AF																																																														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26																																																																	

Рисунок 15.3 Распределение контактов в корпусе HSBGA-416 для микросхемы 1892BM5Я.

Нумерация выводов микросхемы 1892ВМ5Я в корпусе HSBGA-416 приведена в Таблица 15.7.

Таблица 15.7. Нумерация выводов микросхемы 1892ВМ5Я в корпусе HSBGA-416

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
C7	AD[3]	AC22	RTCXTO
A6	AD[2]	AE21	XTI
B6	AD[1]	AD21	XTO
C6	AD[0]	D24	PLL_EN
C26	nINTA	AA4	SCLK
D21	nREQ[4]		
D20	nREQ[3]		
D19	nREQ[2]		
D18	nREQ[1]		
D17	nREQ[0]	P1	D[63]
D16	nGNT[4]	P2	D[62]
D15	nGNT[3]	P3	D[61]
D10	nGNT[2]	R1	D[60]
D9	nGNT[1]	R2	D[59]
D8	nGNT[0]	R3	D[58]
C2	A[31]	T1	D[57]
C1	A[30]	T2	D[56]
D3	A[29]	T3	D[55]
D2	A[28]	U1	D[54]
D1	A[27]	U2	D[53]
E3	A[26]	U3	D[52]
E2	A[25]	V1	D[51]
E1	A[24]	V2	D[50]
F3	A[23]	V3	D[49]
F2	A[22]	W1	D[48]
F1	A[21]	W2	D[47]
G3	A[20]	W3	D[46]
G2	A[19]	Y1	D[45]
G1	A[18]	Y2	D[44]
H3	A[17]	Y3	D[43]
H2	A[16]	AA1	D[42]
H1	A[15]	AA2	D[41]
J3	A[14]	AA3	D[40]
J2	A[13]	AB1	D[39]
J1	A[12]	AB2	D[38]
K3	A[11]	AB3	D[37]
K2	A[10]	AC1	D[36]
K1	A[9]	AC2	D[35]
L3	A[8]	AC3	D[34]
L2	A[7]	AD1	D[33]
L1	A[6]	AD2	D[32]
M3	A[5]	AE6	D[31]
M2	A[4]	AF6	D[30]
M1	A[3]	AD7	D[29]
N3	A[2]	AE7	D[28]
N2	A[1]	AF7	D[27]
N1	A[0]	AD8	D[26]
AC25	nDE	AE8	D[25]
AB26	TDO	AF8	D[24]
AB25	TDI	AD9	D[23]
AB24	TMS	AE9	D[22]
D25	WDT	AF9	D[21]
AC26	TRST	AD10	D[20]
AD26	TCK	AE10	D[19]
AE24	nRST	AF10	D[18]
AC21	RTCXTI	AD11	D[17]

Продолжение Таблица 15.7

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
AE11	D[16]		
AF11	D[15]		
AD12	D[14]		
AE12	D[13]	H23	BYTE
AF12	D[12]	J23	nDMAR[7]
AF15	D[11]	K23	nDMAR[6]
AE15	D[10]	L23	nDMAR[5]
AD15	D[9]	M23	nDMAR[4]
AF16	D[8]	N23	nDMAR[3]
AE16	D[7]	P23	nDMAR[2]
AD16	D[6]	R23	nDMAR[1]
AF17	D[5]	T23	nDMAR[0]
AE17	D[4]	U23	NMI
AD17	D[3]	V23	nIRQ[3]
AF18	D[2]	W23	nIRQ[2]
AE18	D[1]	Y23	nIRQ[1]
AD18	D[0]	AA23	nIRQ[0]
AC18	nWRL[0]	V24	LACK[3]
AC17	nWRL[1]	AA24	LDAT3[0]
AC16	nWRL[2]	AA25	LDAT3[1]
AC15	nWRL[3]	AA26	LDAT3[2]
U4	nWRH[0]	Y24	LDAT3[3]
T4	nWRH[1]	Y25	LDAT3[4]
R4	nWRH[2]	Y26	LDAT3[5]
P4	nWRH[3]	W24	LDAT3[6]
AD19	nWEL	W25	LDAT3[7]
V4	nWEH	R25	LACK[2]
AC20	nRDL	V25	LDAT2[0]
Y4	nRDH	V26	LDAT2[1]
AC12	nWRSL[0]	U24	LDAT2[2]
AC11	nWRSL[1]	U25	LDAT2[3]
AC10	nWRSL[2]	U26	LDAT2[4]
AC9	nWRSL[3]	T24	LDAT2[5]
N4	nWRSH[0]	T25	LDAT2[6]
M4	nWRSH[1]	T26	LDAT2[7]
L4	nWRSH[2]	L25	LACK[1]
K4	nWRSH[3]	R26	LDAT1[0]
AC19	nRDSL	P24	LDAT1[1]
W4	nRDSH	P25	LDAT1[2]
AB4	nREN	N25	LDAT1[3]
AC8	nACK	N24	LDAT1[4]
AE5	nCS[0]	M26	LDAT1[5]
AD5	nCS[1]	M25	LDAT1[6]
AD6	nCS[2]	M24	LDAT1[7]
AC6	nCS[3]	H24	LACK[0]
AC7	nCS[4]	L24	LDAT0[0]
E4	SRASH	K26	LDAT0[1]
AD20	SRASL	K25	LDAT0[2]
AE20	SCASL	K24	LDAT0[3]
F4	SCASH	J26	LDAT0[4]
G4	SWEN	J25	LDAT0[5]
AF20	SWEL	J24	LDAT0[6]
AE19	DQM[0]	H26	LDAT0[7]
AF19	DQM[1]	G24	SIN
AF5	DQM[2]	F26	SOUT
AF4	DQM[3]	E26	nOUT1
AE4	DQM[4]	E25	nOUT2
AE1	DQM[5]	D26	nDCD
J4	DQM[6]	E24	nRI
H4	DQM[7]	G26	nDTR
A5	CKE	F25	nRTS
B1	A10	G25	nCTS
B5	BA0	F24	nDSR
A4	BA1	W26	LCLK[3]
		R24	LCLK[2]

Продолжение Таблица 15.7

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
L26	LCLK[1]	B21	AD[26]
H25	LCLK[0]	A21	AD[25]
B20	nCBE[3]	C20	AD[24]
A17	nCBE[2]	C19	AD[23]
A11	nCBE[1]	B19	AD[22]
A8	nCBE[0]	A19	AD[21]
C16	nFRAME	C18	AD[20]
B16	nIRDY	B18	AD[19]
A16	nTRDY	A18	AD[18]
B15	nSTOP	C17	AD[17]
D11	PAR	B17	AD[16]
A15	nPERR	B11	AD[15]
C15	nDEVSEL	C11	AD[14]
A20	IDSEL	A10	AD[13]
B23	nREQ	B10	AD[12]
A24	nGNT	C10	AD[11]
G23	PBOOT	A9	AD[10]
F23	LBOOT	B9	AD[9]
C25	PCLK	C9	AD[8]
A23	AD[31]	B8	AD[7]
C22	AD[30]	C8	AD[6]
B22	AD[29]	A7	AD[5]
A22	AD[28]	B7	AD[4]
C21	AD[27]		

Продолжение Таблица 15.7

№ вывода корпуса	Условное обозначение	№ вывода корпуса	Условное обозначение
A1, A2, C3, C4, B2, B3, D4, D5, AF3, K10, L10, T10, U10, K11, L11, M11, N11, P11, R11, T11, U11, L12, M12, N12, P12, R12, T12, A12, B12, C12, D12, L13, M13, N13, P13, R13, T13, L14, M14, N14, P14, R14, T14, AC14, AD14, AE14, AF14, L15, M15, N15, P15, R15, T15, K16, L16, M16, N16, P16, R16, T16, U16, K17, L17, T17, U17, AF26, AE26, AE25, AD25, AD24, AC24, AC23, AB23, P26, B26,	GND	A3, B4, C5, D6, AF1, AF2, AE2, AE3, AD3, AD4, AC4, AC5, M10, N10, K12, K13, AC13, AD13, AE13, AF13, U14, U15, P17, R17, AF25, N26	PVDD
		P10, R10, U12, U13, K14, K15, A13, A14, B13, B14, C13, C14, D13, D14, M17, N17, A26, A25, B25, B24, C24, C23, D23, D22	CVDD

16. История изменений

16.1 17 апреля 2009 г

- Введены пп. 8.3.2, 8.3.3, 9.8, 10.2.1.

16.2 21 декабря 2011 г

- Удалены таблицы стандартных частот UART (№№ 10.11-10.13).

16.3 20 февраля 2012 г

- В связи с введением двух видов исполнения микросхемы, изменены пп. 1.3, 14.3, таблица 15.2 (в частях, касающихся производительности и тактовой частоты микросхемы).
- Изменен п.1.3 в части, касающейся типа корпуса микросхемы.

16.4 27 августа 2012 г

- Скорректирован раздел 13.
- Скорректирован раздел 14.1 в части требований к порядку подачи питающих напряжений.
- В табл. 15.2 уточнены требования к параметрам частоты на входах XTI, RTC_XTI.
- Из документа удалены приложения. Вместо приложения 1 (краткое описание системы команд DSP-ядра) доступен документ «DSP-ядро ELcore_26. Система инструкций». Приложение 2 вынесено в документ «Микросхемы 1892BM3T, 1892BM2Я, 1892BM5Я, 1892BM8Я. Примеры программирования».

16.5 22 ноября 2013 г

- Уточнен абзац перед ссылкой на рис. 1.2 (п. 1.4).
- Уточнены пункты 3.1, 3.2.6 в части объема памяти XRAM DSP.
- Уточнен пункт 3.5.1 в части доступа к регистру DMAR по записи и чтению.
- Добавлено примечание 3 по регистрам AGU-Y0, AGU-Y1 под таблицей 3.9.