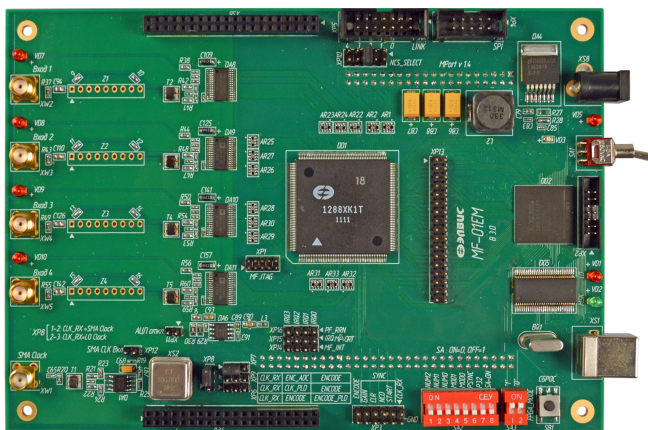


## Реконфигурируемый приемник 1288ХК1Т



АЕЯР.431260.494ТУ

Микросхема 1288ХК1Т – четырехканальный цифровой SDR-приемник (DDC, Digital Down Converter). Микросхема предназначена для построения приемных трактов систем радиосвязи и радиолокации. В 1288ХК1Т реализованы функции преобразование входного сигнала с промежуточной частоты на низкую частоту с последующей фильтрацией и децимацией сигнала. Применение цифровой обработки сигнала на промежуточной частоте позволяет снизить требования к аналоговому тракту и упростить реализацию и/или улучшить производительность системы в целом. Производительность микросхемы достаточна для обработки четырех каналов узкополосной связи или одного канала широкополосной связи. На базе микросхемы 1288ХК1Т можно реализовать программно-перенастраиваемые фазированные и адаптивные антенные решетки, включая технологии "Smart Antenna" и MIMO.



Отладочный модуль MF01-EM

Цифровой приемник 1288ХК1Т содержит четыре идентичных канала, реализующих функции гетеродинирования, децимации и канальной фильтрации входного сигнала.

Цифровой квадратурный гетеродин обеспечивает перенос спектра входного действительного сигнала с промежуточной частоты на низкую частоту, умножая отсчеты входного сигнала на отсчеты опорного сигнала.

Фильтры-дециматоры с фиксированными коэффициентами используются для предварительной децимации сигнала при больших значениях коэффициента децимации.

Два каскада программируемых КИХ-фильтров-дециматоров могут быть использованы для последующей децимации с небольшими коэффициентами децимации, коррекции искажений АЧХ, вызванных СИС-фильтрами-дециматорами и канальной фильтрации.

Комплексный умножитель выходного сигнала позволяет осуществлять плавную регулировку усиления канала и управление фазой выходного сигнала, что может быть использовано для улучшения динамического диапазона тракта обработки, построения АРУ или систем ФАР и ААР.

В 1288ХК1Т предусмотрена синхронизация работы нескольких микросхем, что позволяет использовать их в системах ФАР и ААР. Кроме этого, реализована функция параллельной конфигурации нескольких микросхем.

## ТИПОВЫЕ ХАРАКТЕРИСТИКИ:

- четыре канала цифрового приемника с возможностью объединения каналов для построения широкополосного тракта;
- скорость отсчетов входного сигнала: 100 Мвыб/с на каждый канал;
- тип входного сигнала: цифровой, действительный/комплексный 16-битный или комплексный 8-битный;
- SFDR гетеродина: не хуже 100 дБ;
- точность настройки гетеродина: 0,025 Гц при частоте входных отсчетов 100 МГц;
- двухкаскадный фильтр-дециматор с фиксированными коэффициентами и общим коэффициентом децимации: 1 – 16384;
- два программируемых КИХ фильтра-дециматора 64-го порядка в каждом канале:
  - 3,125 Мвыб/с для каждого канала;
  - 12,5 Мвыб/с при объединении каналов;
- регулировка уровня сигнала с шагом 6 дБ в каждом каскаде фильтрации;
- плавная регулировка уровня сигнала с шагом 2-14 на выходе каждого канала;
- буфер выходных данных на 512 отсчетов;
- интерфейсы выходных данных: 4/8 бит SHARC-совместимый линк-порт, 16/32 бит параллельный интерфейс;
- интерфейсы управления: последовательный синхронный порт, 16/32 бит параллельный порт;
- синхронизация работы нескольких микро-схем, включая синхронный старт/стоп, очистку тракта, установку гетеродинов и умножителей плавной регулировки уровня сигнала;
- питание: цифровое ядро +2,5 В, контактные площадки +3,3 В;
- максимальное потребление: 750 мВт;
- диапазон температур: -60..+85 °С;
- корпус: PQFP208, 30,6 x 30,6 мм.

